

# СЕМЕЙСТВА ПЛИС ФИРМЫ XILINX

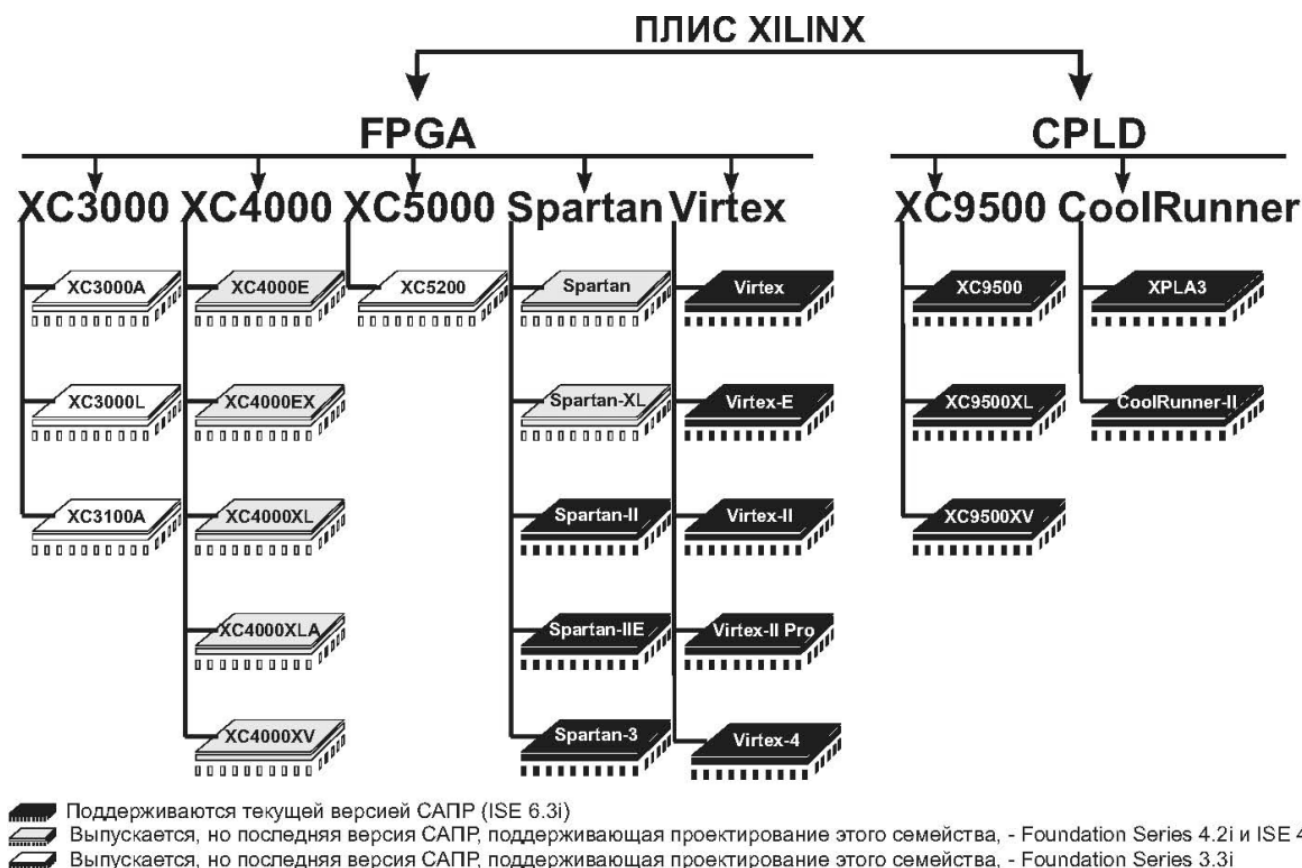


Рис. 1 Семейства ПЛИС Xilinx

Основные особенности ПЛИС Xilinx:

- значительный объем ресурсов - более 10 млн. системных вентилях на кристалл;
- высокая производительность с системными частотами до 500 МГц;
- технологические нормы - до 90 нм на одиннадцати слоях металла;
- высокая гибкость архитектуры с множеством системных особенностей: внутренним распределенным и блочным ОЗУ, логикой ускоренного переноса, внутренними буферами с третьим состоянием и т. д.;
- возможность инициализации и верификации через JTAG;
- возможность программирования непосредственно в системе;
- широкая номенклатура кристаллов: от недорогих и относительно простых схем для реализации крупносерийных логических проектов до очень сложных схем, применяемых для проектов в области высокоскоростной цифровой обработки сигналов, моделирования и макетирования новых типов процессоров и вычислительных систем и т. д.;
- короткий цикл проектирования и быстрое время компиляции;
- недорогие средства проектирования (включая бесплатные).

При изготовлении ПЛИС фирмой Xilinx используются 3 основные технологии:

- На основе SRAM (ПЛИС с архитектурой FPGA), при этом конфигурация ПЛИС хранится во внутреннем, «тенево» ОЗУ, а инициализация осуществляется из внешнего массива памяти. По данной технологии выполнены все семейства с архитектурой FPGA.
- На основе FLASH (ПЛИС с архитектурой CPLD), в данном случае конфигурация сохраняется во внутренней энергонезависимой FLASH-памяти и в любой момент времени может быть перезаписана непосредственно из ПК. По данной технологии выполнено семейство XC9500.
- На основе EEPROM (ПЛИС с архитектурой CPLD), в данном случае конфигурация сохраняется во внутренней энергонезависимой EEPROM-памяти и в любой момент времени может быть перезаписана непосредственно из ПК. По данной технологии выполнено семейство CoolRunner.

## Основные характеристики платформы Virtex-4 FX FPGA

Наименование	XC4VFX12	XC4VFX20	XC4VFX40	XC4VFX60	XC4VFX100	XC4VFX140
Матрица КЛБ	64x24	64x36	96x44	128x52	160x68	192x84
Логические ячейки	12312	19224	41904	56880	94896	142128
Распределенное ОЗУ, кбит	86	134	243	395	659	987
Блочное ОЗУ, кбит	648	1224	2592	4176	6768	9936
Модули DSP	32	32	48	128	160	192
Модули DCM	4	4	8	12	12	20
Модули PMCD	0	0	4	8	8	8
Процессор PowerPC	1	1	2	2	2	2
Ethernet MAC	2	2	4	4	4	4
RocketIO (MGT)	-	8	12	16	20	24
Макс. число пользовательских контактов	320	320	448	576	768	896

## Состав и основные характеристики семейства Spartan-3:

Кристалл	Логические ячейки	Системные вентиля	Матрица КЛБ	КЛБ	Блочная ОЗУ, кбит	Умножители	DCM	Дифференциальные пары ввода-вывода, макс.	Пользовательские блоки ввода-вывода, макс.
XC3S50	1 728	50	16x12	192	72	4	2	56	124
XC3S200	4 320	200	24x20	480	216	12	4	76	173
XC3S400	8 064	400	32x28	896	288	16	4	116	264
XC3S1000	17 280	1M	48x40	1 920	432	24	4	175	391
XC3S1500	29 952	1,5M	64x52	3 328	576	32	4	221	487
XC3S2000	46 080	2M	80x64	5 120	720	40	4	270	565
XC3S4000	62 208	4M	96x72	6 912	1 728	96	4	312	712
XC3S5000	74 880	5M	104x80	8 320	1 872	104	4	344	784

## Состав и основные характеристики семейства XC9500

Параметр	XC9536	XC9572	XC95108	XC95144	XC95216	XC95288
Число макроячеек	36	72	108	144	216	288
Число вентиляей	800	1 600	2 400	3 200	4 800	6 400
Число триггеров	36	72	108	144	216	288
$t_{PD}$ , нс	5	7,5	7,5	7,5	10	15
$t_{SU}$ , нс	3,5	4,5	4,5	4,5	6,0	8,0
$t_{CO}$ , нс	4,0	4,5	4,5	4,5	6,0	8,0
$f_{CNT}$ , МГц <sup>1</sup>	100	125	125	125	111,1	92,2
$f_{SYSTEM}$ , МГц	100	83,3	83,3	83,3	66,7	56,6

## Состав и основные характеристики семейства CoolRunner-II:

Параметр	XC2C32	XC2C64	XC2C128	XC2C256	XC2C384	XC2C512
Количество макроячеек	32	64	128	256	384	512
Максимальное количество пользовательских выводов ПЛИС	33	64	100	184	240	270
Задержка распространения сигнала от входного контакта до выходного через комбинационную логику $t_{PD}$ , нс	3,5	4,0	4,5	5,0	5,5	6,0
Время установления входных сигналов относительно глобального тактового сигнала $t_{SU}$ , нс	1,7	2,0	2,1	2,2	2,3	2,4
Задержка выходного сигнала относительно глобального тактового сигнала $t_{CO}$ , нс	2,8	3,0	3,4	3,8	4,2	4,6
Максимальная системная частота $F_{SYSTEM}$ , МГц	333	270	263	238	217	217

## СЕМЕЙСТВО VIRTEX-5

Основанные на архитектуре ExpressFabric™, Virtex-5 отличается высокой производительностью, большим количеством блоков ввода-вывода, оптимизированным энергопотреблением и низкой стоимостью. Предназначено для создания систем нового поколения в таких областях, как проводные и беспроводные коммуникации, аудио/видео, серверы и устройства хранения данных, и др. Семейство Virtex-5 включает пять новых платформ со сбалансированным соотношением программируемых логических ячеек, устройств ввода-вывода, блоков цифровой обработки сигналов и процессорных ядер:

- LX - высокопроизводительная логика.
- LXT - высокопроизводительная логика и скоростные последовательные приемопередатчики;
- SXT - ЦОС со скоростными последовательными приемопередатчиками;
- TXT – высокопроизводительные системы с удвоенным количеством приемопередатчиков;
- FXT – высокопроизводительные встроенные системы со скоростными приемопередатчиками.

Наименование	Конфигурируемых логических блоков (CLBs)			Процессорных секций DSP48E Slices(2)	Встроенных блоков ОЗУ			Ячеек управления временем CMTs(4)	Процессорных ядер PowerPC	Линий интерфейса PCI Express	Портов Ethernet MACs(5)	Приемопередатчиков RocketIO (6)		Всего банков ввода/вывода (8)	Макс. польз. линий ввод/выв. I/O(7)
	Строк на столбцов	Секций Slices(1)	Макс. распределен. RAM (Kb)		18 Kb(3)	36 Kb	Max (Kb)					GTP	GTX		
XC5VLX30	80 x 30	4,800	320	32	64	32	1,152	2	N/A	N/A	N/A	N/A	N/A	13	400
XC5VLX50	120 x 30	7,200	480	48	96	48	1,728	6	N/A	N/A	N/A	N/A	N/A	17	560
XC5VLX85	120 x 54	12,960	840	48	192	96	3,456	6	N/A	N/A	N/A	N/A	N/A	17	560
XC5VLX110	160 x 54	17,280	1,120	64	256	128	4,608	6	N/A	N/A	N/A	N/A	N/A	23	800
XC5VLX155	160 x 76	24,320	1,640	128	384	192	6,912	6	N/A	N/A	N/A	N/A	N/A	23	800
XC5VLX220	160 x 108	34,560	2,280	128	384	192	6,912	6	N/A	N/A	N/A	N/A	N/A	23	800
XC5VLX330	240 x 108	51,840	3,420	192	576	288	10,368	6	N/A	N/A	N/A	N/A	N/A	33	1,200
XC5VLX20T	60 x 26	3,120	210	24	52	26	936	1	N/A	1	2	4	N/A	7	172
XC5VLX30T	80 x 30	4,800	320	32	72	36	1,296	2	N/A	1	4	8	N/A	12	360
XC5VLX50T	120 x 30	7,200	480	48	120	60	2,160	6	N/A	1	4	12	N/A	15	480
XC5VLX85T	120 x 54	12,960	840	48	216	108	3,888	6	N/A	1	4	12	N/A	15	480
XC5VLX110T	160 x 54	17,280	1,120	64	296	148	5,328	6	N/A	1	4	16	N/A	20	680
XC5VLX155T	160 x 76	24,320	1,640	128	424	212	7,632	6	N/A	1	4	16	N/A	20	680
XC5VLX220T	160 x 108	34,560	2,280	128	424	212	7,632	6	N/A	1	4	16	N/A	20	680
XC5VLX330T	240 x 108	51,840	3,420	192	648	324	11,664	6	N/A	1	4	24	N/A	27	960
XC5VSX35T	80 x 34	5,440	520	192	168	84	3,024	2	N/A	1	4	8	N/A	12	360
XC5VSX50T	120 x 34	8,160	780	288	264	132	4,752	6	N/A	1	4	12	N/A	15	480
XC5VSX95T	160 x 46	14,720	1,520	640	488	244	8,784	6	N/A	1	4	16	N/A	19	640
XC5VSX240T	240 x 78	37,440	4,200	1,056	1,032	516	18,576	6	N/A	1	4	24	N/A	27	960
XC5VTX150T	200 x 58	23,200	1,500	80	456	228	8,208	6	N/A	1	4	N/A	40	20	680
XC5VTX240T	240 x 78	37,440	2,400	96	648	324	11,664	6	N/A	1	4	N/A	48	20	680
XC5VFX30T	80 x 38	5,120	380	64	136	68	2,448	2	1	1	4	N/A	8	12	360
XC5VFX70T	160 x 38	11,200	820	128	296	148	5,328	6	1	3	4	N/A	16	19	640
XC5VFX100T	160 x 56	16,000	1,240	256	456	228	8,208	6	2	3	4	N/A	16	20	680
XC5VFX130T	200 x 56	20,480	1,580	320	596	298	10,728	6	2	3	6	N/A	20	24	840
XC5VFX200T	240 x 68	30,720	2,280	384	912	456	16,416	6	2	4	8	N/A	24	27	960

### Примечания:

1. Секции (slices) Virtex-5 организованы иначе, чем в предшествующих FPGA. Каждая секция Virtex-5 содержит 4 LUT-блока и 4 триггера (ранее было 2 LUT-блока и 2 триггера)
2. Каждая секция цифрового процессора сигналов DSP48E содержит умножитель 25 x 18, сумматор и аккумулятор.
3. Каждый блок ОЗУ изначально имеет размер 36 Кбит, однако может использоваться как 2 независимых 18 Кбит блока.

4. Каждая ячейка управления временем - Clock Management Tile (CMT) содержит 2 блока DCM и одну схему PLL.
5. В таблице указано количество независимых портов Ethernet MAC в каждой микросхеме.
6. Приемопередатчики RocketIO GTP работают на скорости от 100 Мб/с до 3.75 Гб/с. Приемопередатчики RocketIO GTX спроектированы для скоростей обмена от 150 Мб/с до 6.5 Гб/с.
7. Без учета приемопередатчиков RocketIO.
8. С учетом конфигурационного банка Bank 0.

## **Основные достоинства FPGA Virtex-5**

### **Производительность**

- Производительность увеличена на 30%
- Тактовая частота до 550 МГц
- IP-ядра, оптимизированные по производительности
- Ввод-вывод с интерфейсом LVDS - до 1,25 Гбит/с

### **Высокоскоростные приемопередатчики**

- Скорость передачи от 100 Мбит до 3,2 Гбит в сек.
- Аппаратные блоки: точка PCI Express и 10/100/1000 Ethernet MAC
- Низкое энергопотребление: менее 100 мВт на скорости 3,2 Гбит/с
- Улучшенное выравнивание данных при работе с длинными линиями

### **Сниженное энергопотребление**

- 65-нм обеспечивает на 35% меньшее динамическое энергопотребление
- Технология Triple-oxide сохраняет низкий статический ток

### **Ввод-вывод с технологией SelectIO**

- Ввод-вывод: до 1,25 Гбит/с по дифференциальным, до 800 Мбит/с по однопроводным линиям
- Поддержка напряжения питания до 3,3 В
- Корпуса второго поколения "sparse chevron" с уменьшенными перекрестными помехами
- Блокировочные конденсаторы на субстрате

### **Уменьшение стоимости**

- Архитектура ExpressFabric и техпроцесс 65-нм позволяют выбирать устройства меньшего логического объема
- Встроенные аппаратные приемопередатчики позволяют сэкономить стоимость по сравнению с их реализацией на логических ячейках
- Встроенные Ethernet MAC и PCI Express увеличивают эффективность проекта
- Уменьшенное энергопотребление позволяет использовать более простые системы охлаждения
- Для серийного производства доступна технология EasyPath, уменьшающая стоимость на 30-75%