

Средства синхронизации

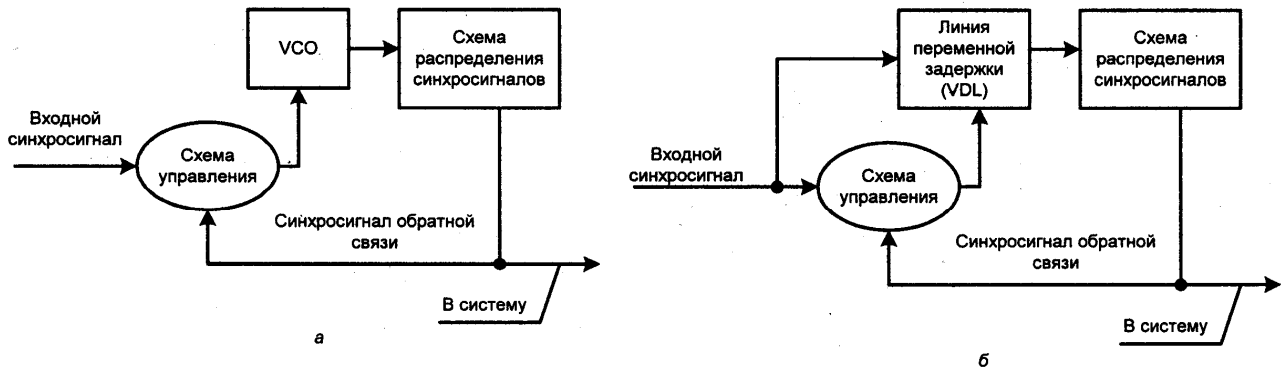


Рис. 30. Укрупненные структуры блоков PLL (а) и DLL (б)

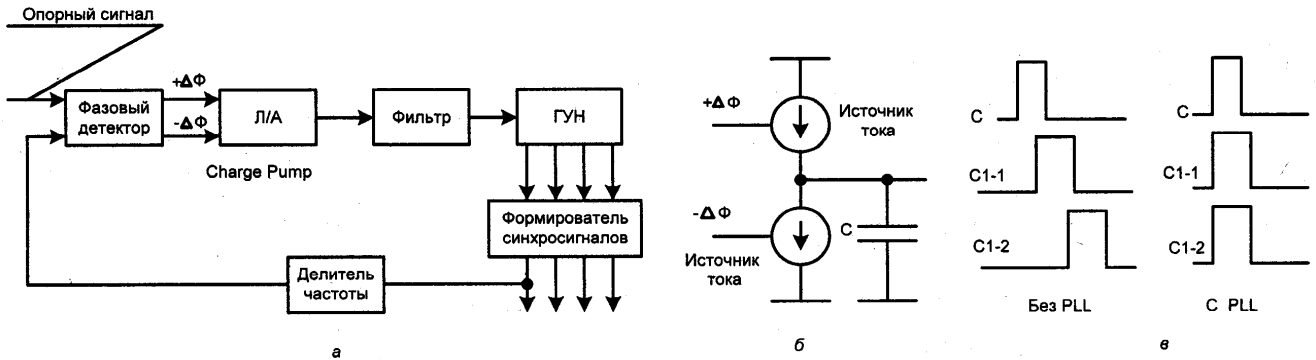


Рис. 31. Структура PLL (а), схема Charge Pump (б) и временные диаграммы синхросигналов при отсутствии и наличии PLL(в)

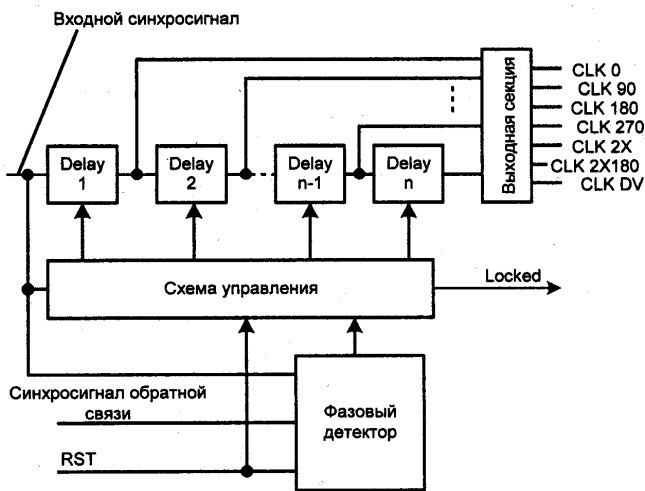


Рис. 32. Структура DLL

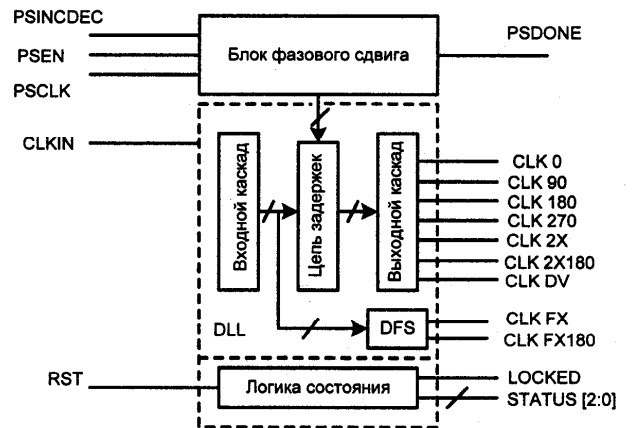


Рис. 33. Структура блока DCM

Блоки последовательно-параллельных преобразований

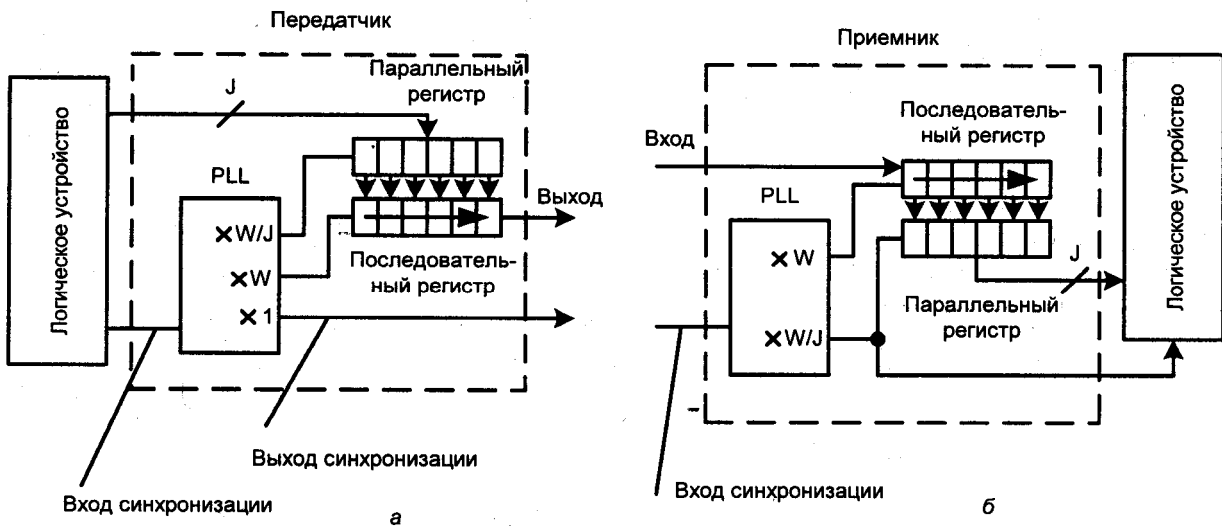


Рис. 34. Структуры передатчика и приемника блока SERDES

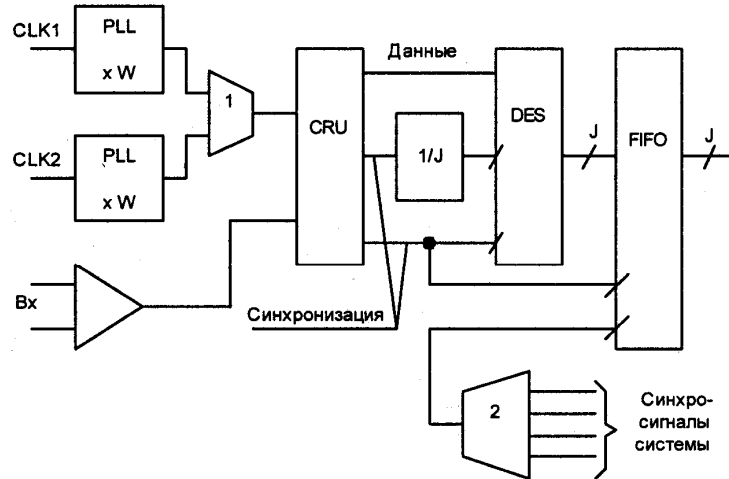


Рис. 35. Схема преобразования последовательных данных в параллельные, содержащая блок CRU

Обеспечение стандартных режимов на разомкнутых выводах

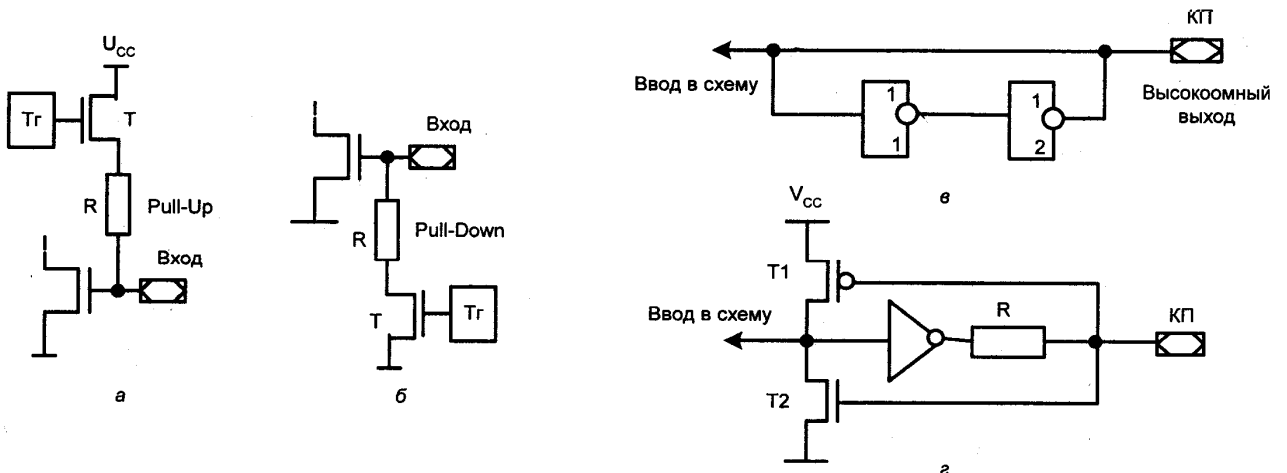


Рис. 36. Схемы устранения неопределенных состояний разомкнутых выводов