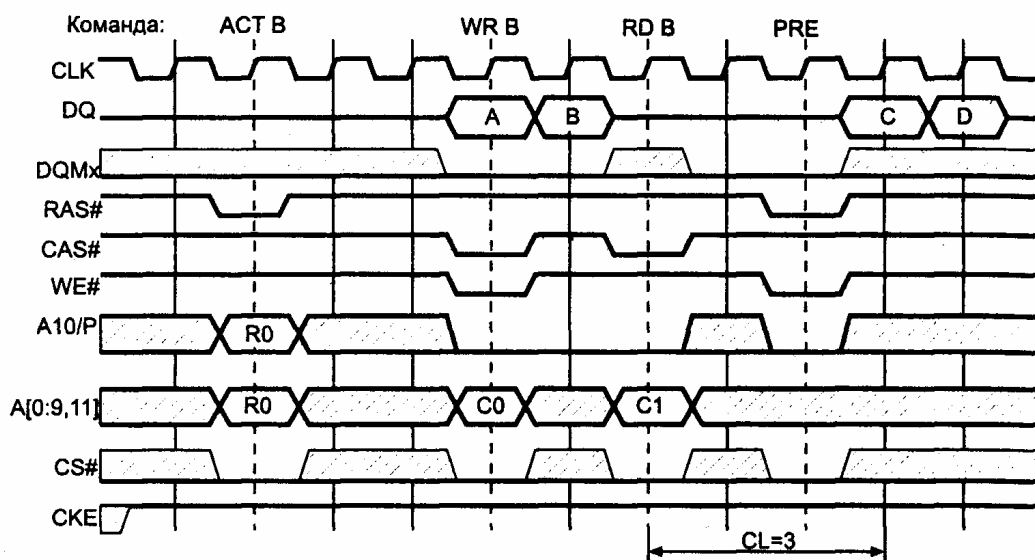


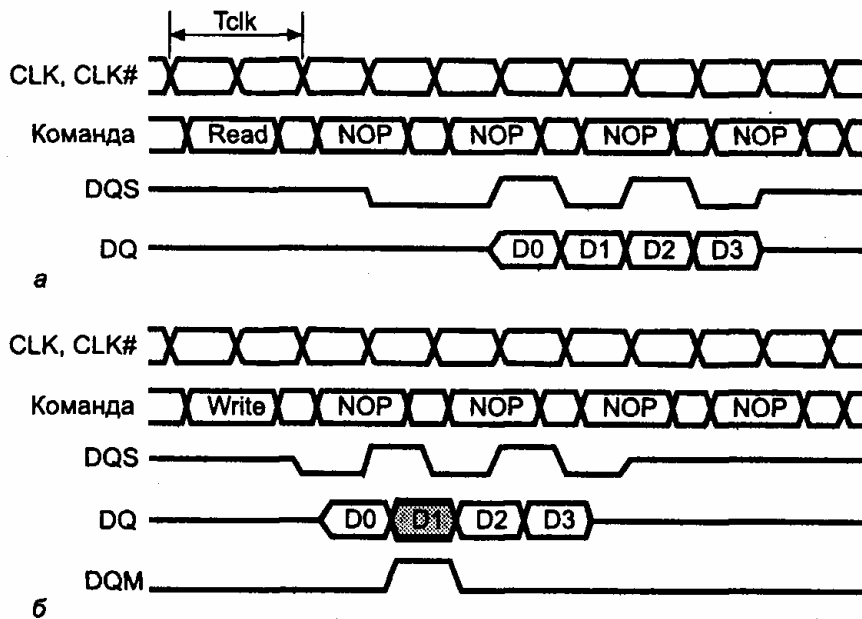
## Диаграммы работы SDRAM, DDR и DDR2

Таблица Назначение сигналов в микросхемах SDRAM, DDR и DDR2 SDRAM

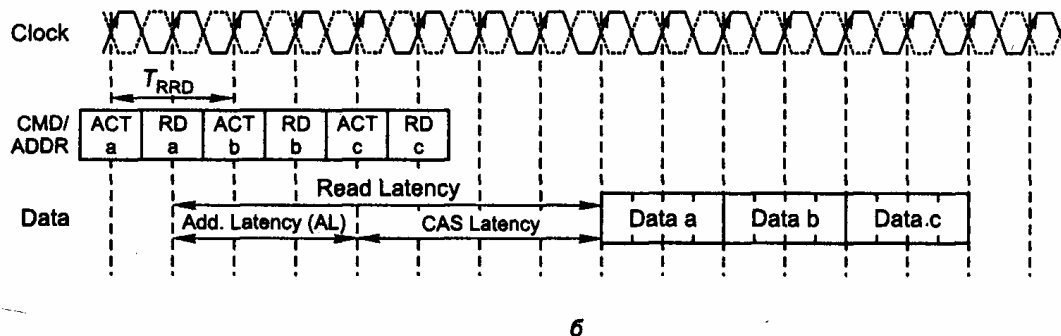
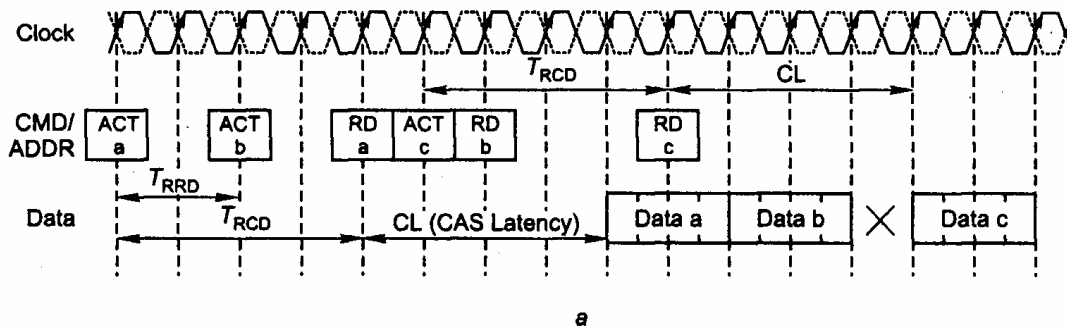
Сигнал	I/O	Назначение
CLK (СК, СК#)	I	Clock Input – синхронизация, действует по положительному перепаду. Для DDR SDRAM используется дифференциальный вход СК, СК#
CKE	I	Clock Enable – разрешение синхронизации (высоким уровнем). Низкий уровень переводит микросхему в режим Power Down, Suspend или Self Refresh
CS#	I	Chip Select – разрешение декодирования команд (низким уровнем). При высоком уровне новые команды не декодируются, но выполнение начатых продолжается
RAS#, CAS#, WE#	I	Row Address Strobe, Column Address Strobe, Write Enable – сигналы, определяющие операцию (код команды)
BS[2:0] или BA[2:0]	I	Bank Selects или Bank Address – выбор банка, к которому адресуется команда. Для микросхем с 4-банковой структурой используются только 2 младших бита
A[0:15]	I	Address – мультиплексированная шина адреса (наличие старших битов определяется емкостью микросхемы). В циклах Bank Activate определяют адрес строки. В циклах Read/Write линии A[0:9] и A11 задают адрес столбца. Линия A10 в циклах Read/Write включает режим автопредзаряда (при A10 = 1), в цикле Precharge значение A10 = 1 задает предзаряд всех банков (независимо от BS[2:0])
DQx	I/O	Data Input/Output – двунаправленные линии данных
DQS	I/O	Data Strobe – двунаправленные линии стробирования данных (для DDR SDRAM)
DQM (DM)	I	Data Mask – маскирование данных. В цикле чтения высокий уровень переводит шину данных в высокоимпедансное состояние (действует через 2 такта). В цикле записи высокий уровень запрещает запись текущих данных, низкий – разрешает (действует без задержки)
ODT	I	On Die Termination – включение резисторов-терминаторов (для DDR2), расположенных внутри микросхемы. Через расширенный регистр режима включение терминаторов может быть запрещено
V <sub>SS</sub> , V <sub>DD</sub>	-	Общий провод и питание ядра (нет в DDR2)
V <sub>SSQ</sub> , V <sub>DDQ</sub>	-	Общий провод и питание выходных буферов. Изолированы от питания ядра для снижения помех (в DDR2 используются и для питания ядра)
V <sub>SSDL</sub> , V <sub>DDL</sub>	-	Общий провод и питание цепей DLL (для DDR2). Изолированы от питания ядра для снижения помех
V <sub>REF</sub>	-	Опорное напряжение интерфейса SSTL (для DDR SDRAM)



Временные диаграммы пакетных циклов SDRAM: A и B – данные для записи по адресу R0/C0 и R0/C0+1, C и D – данные, считанные по адресу R0/C1 и R0/C1+1



Временные диаграммы пакетных циклов DDR SDRAM: а – чтение, CL = 2, длина пакета 4; б – запись, длина пакета 4, данные D1 не записываются



Временные диаграммы выполнения двух команд чтения: а – для DDR SDRAM, б – для DDR2 SDRAM (CL = 2, AL = 2)