

Рис. 2.5. Формирование адреса памяти 32-разрядных процессоров в защищенном режиме

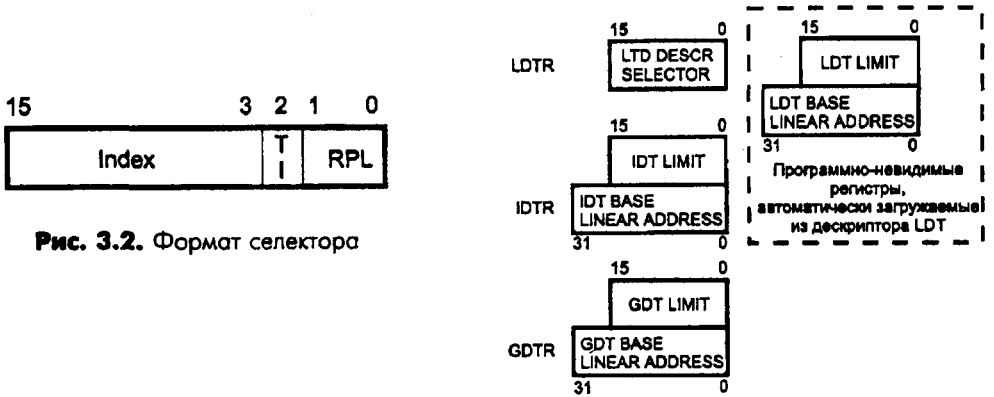


Рис. 3.2. Формат селектора

Рис. 3.4. Регистры дескрипторов таблиц

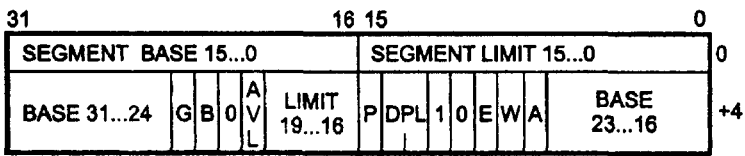


Рис. 3.5. Дескриптор сегмента данных

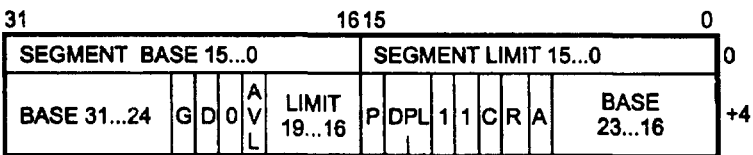


Рис. 3.6. Дескриптор сегмента кода

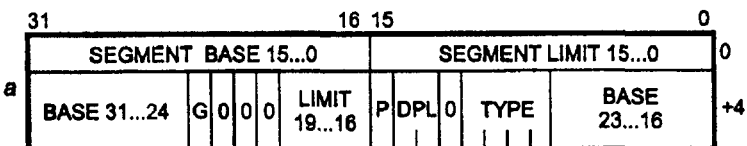
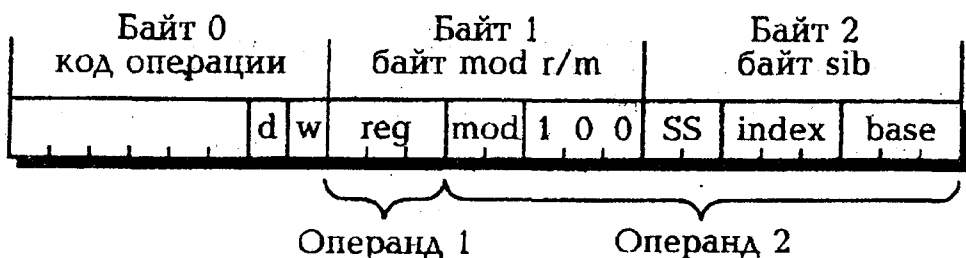


Рис. 3.7. Дескриптор системных сегментов:



Двухоперандная команда с байтами mod r/m и sib

Формирование эффективного адреса памяти в 32-битной адресации (r/m не равно 100B)

Поле r/m	Адрес памяти второго операнда		
	mod = 00B	mod = 01B	mod = 10B
000B	EAX	EAX+d8	EAX+d32
001B	ECX	ECX+d8	ECX+d32
010B	EDX	EDX+d8	EDX+d32
011B	EBX	EBX+d8	EBX+d32
100B	Имеется sib	Имеется sib	Имеется sib
101B	d32	SS:[EBP+d8]	SS:[EBP+d32]
110B	ESI	ESz+d8	ESI+d32
111B	EDI	EDI+d8	EDI+d32

Формирование эффективного адреса памяти в 32-битной адресации (r/m = 100B)

Поле base	Адрес памяти второго операнда		
	mod = 00B	mod = 01B	mod = 10B
000B	EAX+ss*ind	EAX+ss*ind+d8	EAX+ss*ind+d32
001B	ECX+ss*ind	ECX+ss*ind+d8	ECX+ss*ind+d32
010B	EDX+ss*ind	EDX+ss*ind+d8	EDX+ss*ind+d32
011B	EBX+ss*ind	EBX+ss*ind+d8	EBX+ss*ind+d32
100B	SS:[ESP+ss*ind]	SS:[ESP+ss*ind+d8]	SS:[ESP+ss*ind+d32]
101B	d32+ss*ind	SS:[EBP+ss*ind+d8]	SS:[EBP+ss*ind+d32]
110B	ESI+ss*ind	ESI+ss*ind+d8	ESI+ss*ind+d32
111B	EDI+ss*ind	EDI+ss*ind+d8	EDI+ss*ind+d32

Кодирование полей index и ss в байте sib

index	Индексный регистр	ss	Множитель
000B	EAX	00B	* 1
001B	ECX	01B	* 2
010B	EDX	10B	* 4
011B	EBX	11B	* 8
100B	Отсутствует		
101B	EBP		
110B	ESI		
111B	EDI		

Примечание:

Когда поле index содержит 100B, показывая отсутствие индексного регистра, поле ss должно содержать 00B; в противном случае эффективный адрес не определен

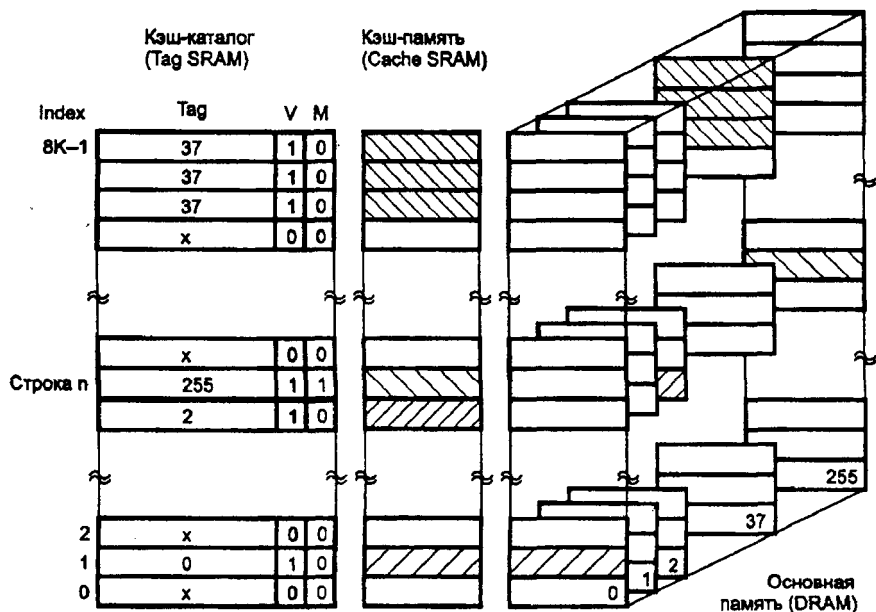
Примеры команд с 32-битной адресацией

Адресация	Пример команды
Непосредственная	mov eax, 12345678h
Регистровая	mov eax, ecx
Прямая (абсолютная)	mov eax, [3456789h]
Регистровая косвенная	mov eax, [ecx]
Базовая/индексная со смещением	mov eax, [ecx]+1200h
Базовая индексная со смещением	mov eax, [ecx][edx]+40h
Индексная с масштабированием и смещением	mov eax, [esi*4]+400h
Базовая индексная с масштабированием	mov eax, [edx][ecx*8]
Базовая индексная с масштабированием и смещением	mov eax, [ebx][edi*2]+20h



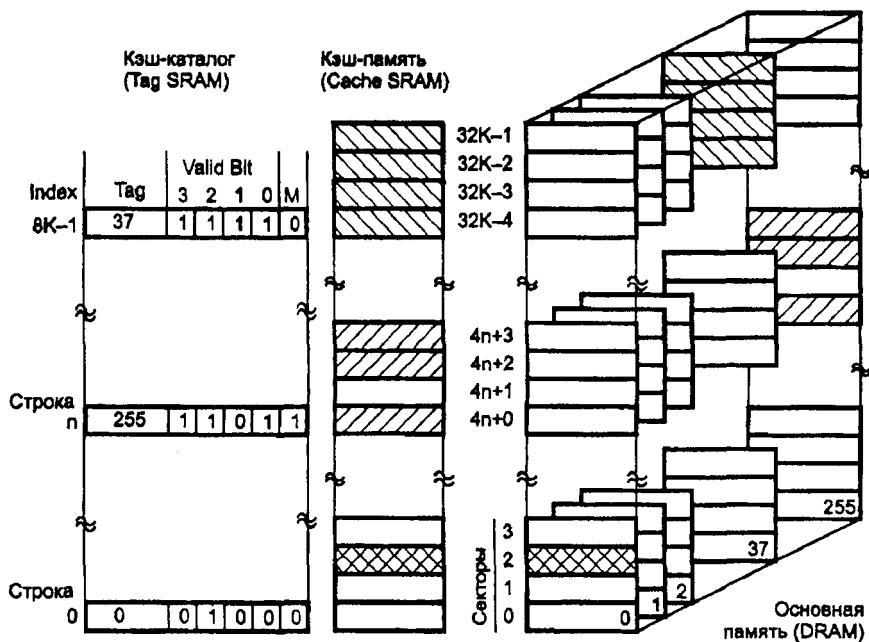
Процесс формирования адреса в 32-битной адресации

Кэширование памяти



Tag		Index			Адрес кэшируемой памяти
25	18	17	5	4	
Номер страницы основной памяти		Номер строки в странице		Смещение в строке	

Кэш прямого отображения

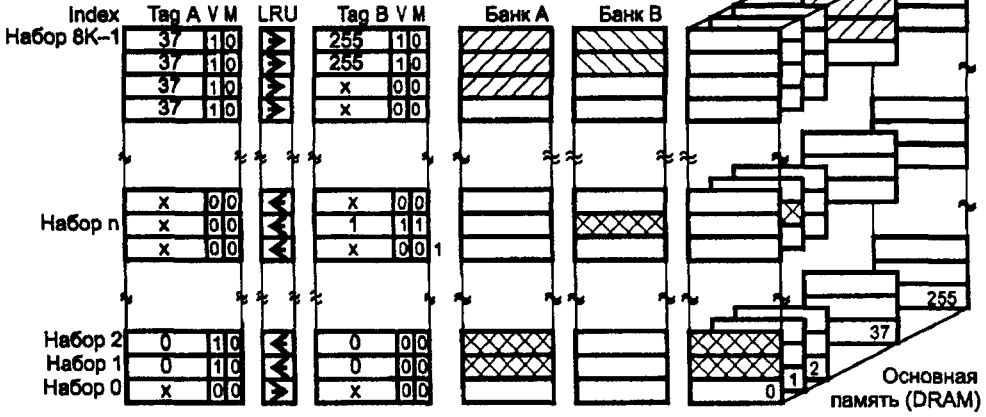


Tag		Index		Sector		Адрес кэшируемой памяти	
27	20	19	7	6	5		4
Номер страницы основной памяти		Номер строки		Номер сектора		Смещение в секторе	

Секторизованный кэш прямого отображения

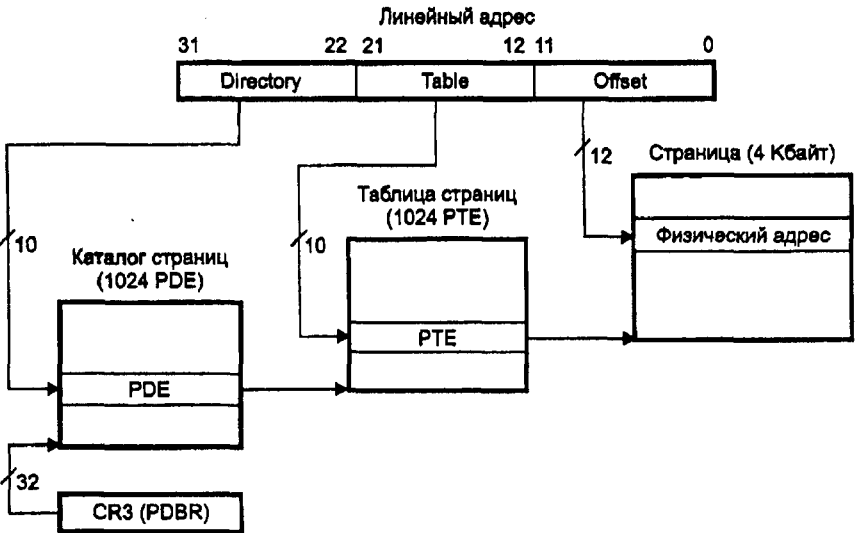
Кэш-каталог (Tag SRAM + LRU)

Кэш-память (Cache SRAM)

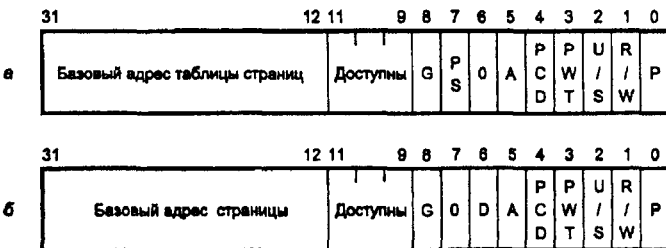


Двухканальный наборно-ассоциативный кэш

Страничное преобразование



Базовый механизм страничной переадресации



Структура 32-битных элементов страничного преобразования:
 а – строка каталога; б – строка таблицы