

Форматы команд микропроцессора VM86

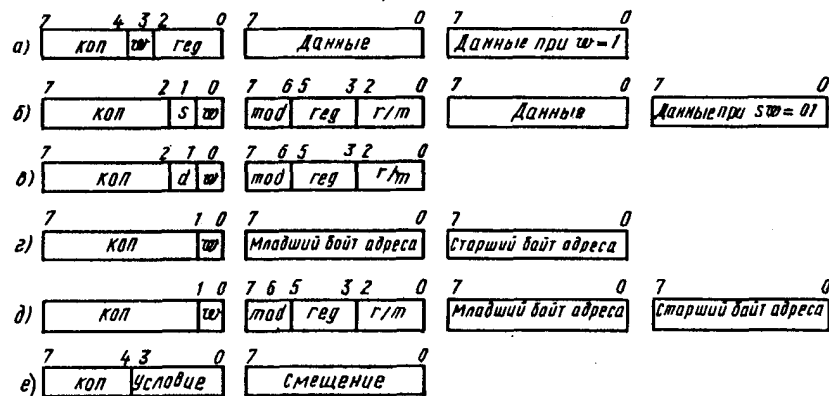


Таблица 1.1а

Код регистра	Регистр	
	16-разрядный	8-разрядный
000	AX	AL
001	CX	CL
010	DX	DL
011	BX	BL
100	SP	AH
101	BP	CH
110	SI	DH
111	DI	BH

Таблица 1.1б

Код в поле r/m	Значение исполнительного адреса EA
000	(BX+SI) + disp
001	(BX+DI) + disp
010	(BP+SI) + disp
011	(BP+DI) + disp
100	(SI) + disp
101	(DI) + disp
110	(BP) + disp
111	(BX) + disp

если $mod=11$, то операндом является содержимое регистра, двоичный код (номер) которого задается в 3-разрядном поле r/m в соответствии с табл. 1.1а.

Если $mod \neq 11$, то в полях mod и r/m содержится информация, согласно которой устанавливается один из способов адресации — прямая, косвенная регистровая, по базе, индексная и по базе с индексированием. Если для реализации выбранного способа адресации требуется дополнительная адресная информация, то она указывается в одном или двух байтах в виде смещения $disp$, которое следует непосредственно за постбайтом. Наличие или отсутствие смещения и его размерность определяются полем mod следующим образом:

если $mod=00$, то $disp$ отсутствует;

если $mod=01$, то $disp$ размерностью 1 байт указывается за постбайтом, причем перед использованием этого смещения при формировании исполнительного адреса EA оно расширяется со знаком до 16 разрядов (расширение со знаком подразумевает заполнение старшего байта значением знакового разряда, указанного в $disp$);

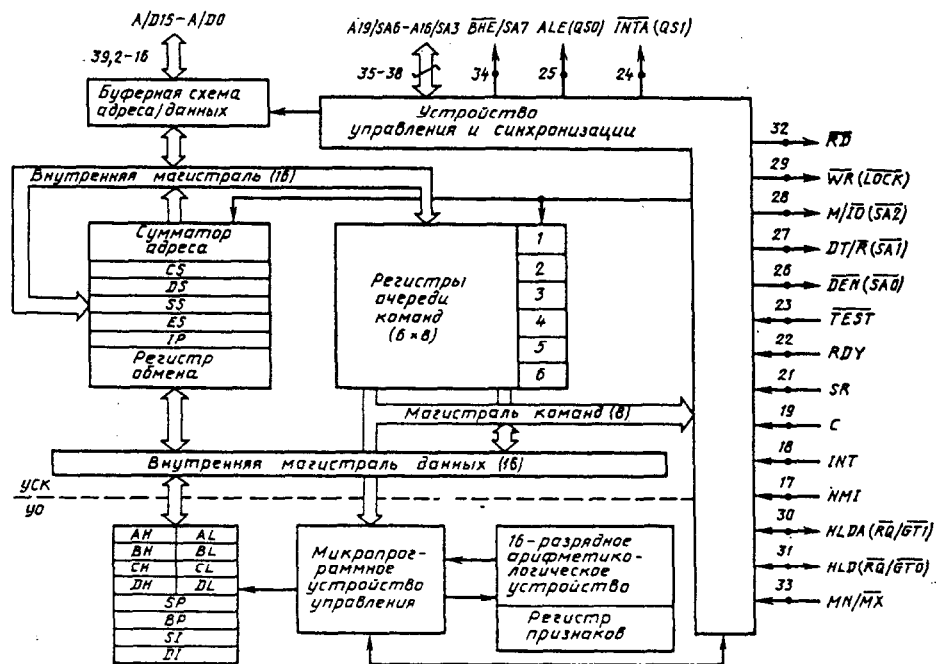
если $mod=10$, то за постбайтом следует 16-разрядное смещение $disp$, рассматриваемое как число со знаком.

Для каждой комбинации значений поля $mod=00, 01$ или 10 формирование исполнительного адреса EA определяется полем r/m в соответствии с табл. 1.1б.

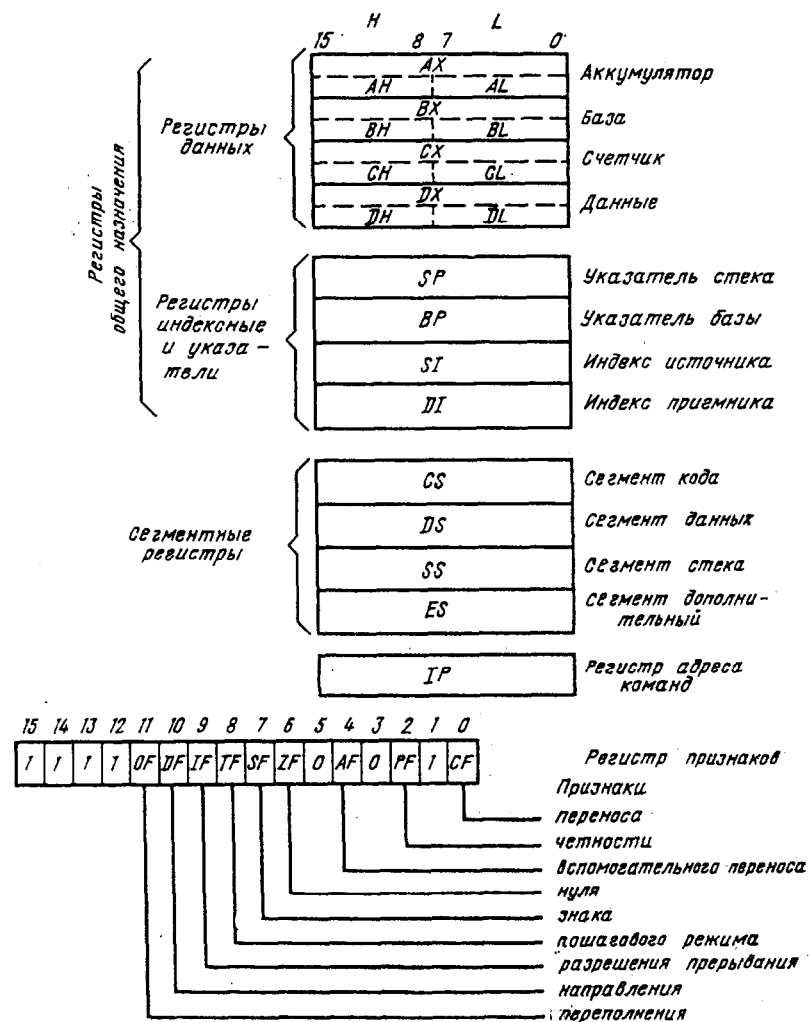
Исключение из описанных способов кодирования полей mod и r/m составляет случай $mod=00, r/m=110$, соответствующий $EA=disp$, причем $disp$ — есть 16-разрядное смещение. Таким образом, при обращении к памяти имеется 24 варианта вычисления адреса EA, используемого в качестве смещения в сегменте при вычислении физического адреса.

Поле reg постбайта используется для адресации тогда, когда в команде задаются два операнда. В этом случае второй операнд всегда находится в регистре, код которого указывается в поле постбайта в соответствии с табл. 1.1. В командах, где требуется только один операнд, поле reg постбайта используется совместно с байтом кода операции (КОП) для увеличения вариантов кодирования операций.

Структурная схема процессора KM1810BM86 (i8086) и его программно доступные регистры

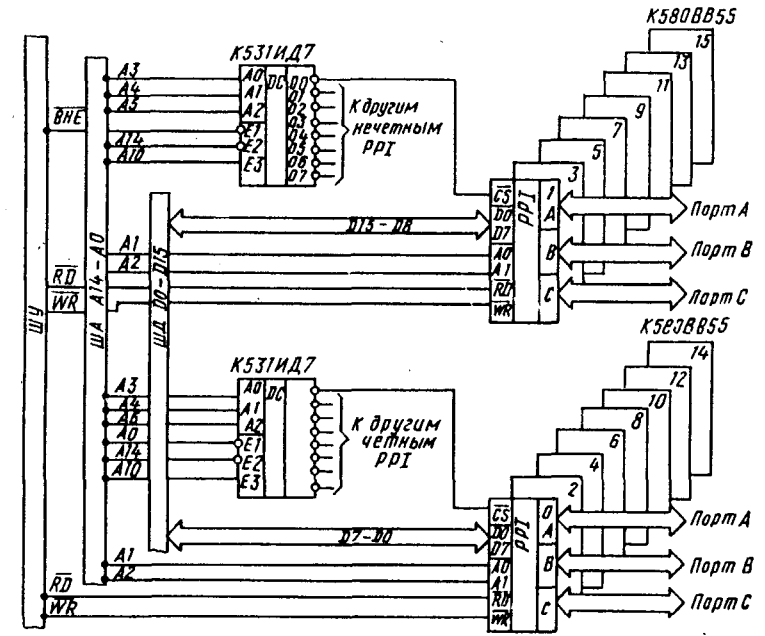
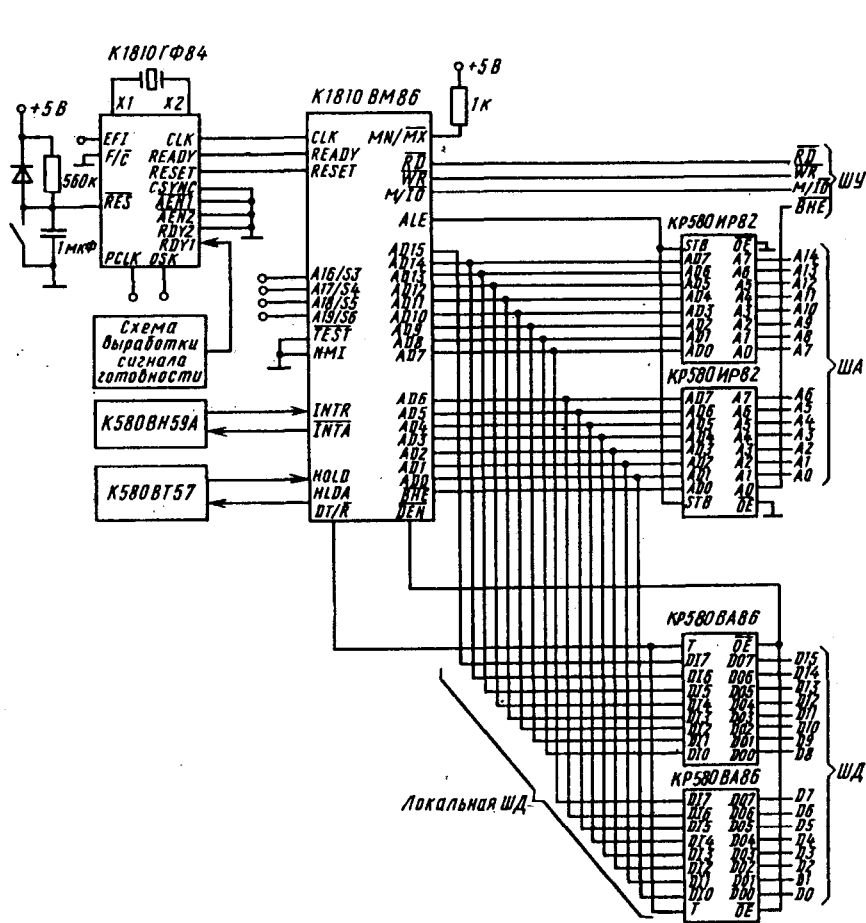


Структурная схема микропроцессора KM1810BM86



Программно-доступные регистры микропроцессора

Схемы включения процессора K1810 в минимальной и максимальной конфигурациях



ВНЕ	A0	Действия системы
0	0	Передача 16-разрядного слова
0	1	Передача старшего байта из/□ в адресуемое ВУ
1	0	Передача младшего байта из/□ в адресуемое ВУ
1	1	Устройство не выбрано

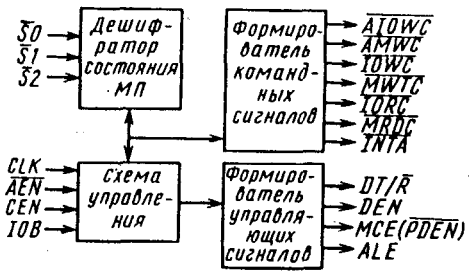
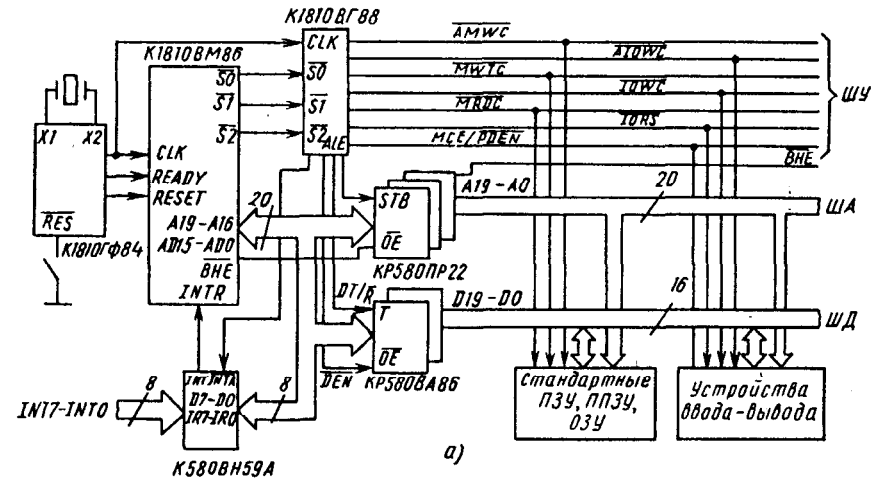
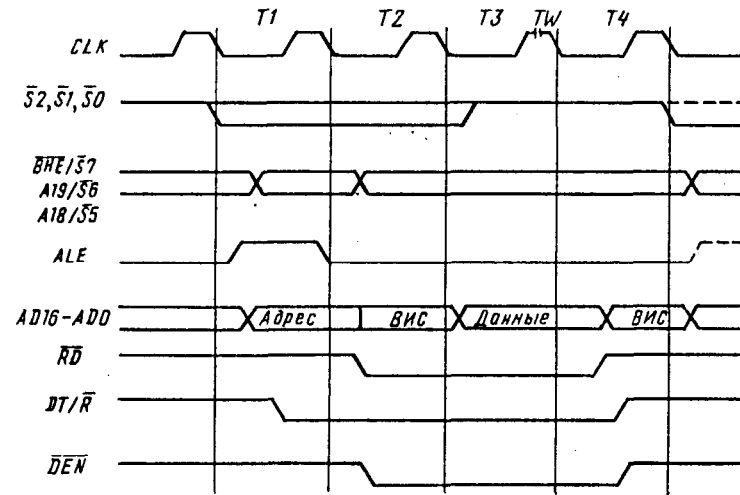


Схема системного контроллера K1810BG88



а)

Обозначение вывода	Вход/выход	Назначение вывода
AD15—AD0	Вх/вых	Мультиплексированная ША/Д
A16/S ₈ —A19/S ₈	Вых	Линии адреса или состояния
BHE/S ₇	Вых	Разрешение старшего байта шины
RD	Вых	Управление чтением
WR	Вых	Управление записью
M/IO	Вых	Выбор памяти или ВУ
ALE	Вых	Разрешение фиксации адреса
DT/R	Вых	Управление пересылкой данных
DEN	Вых	Разрешение пересылки данных
MN/MX	Вх	Установка режима
TEST	Вх	Сигнал окончания режима ожидания
HOLD	Вх	Запрос захвата шин
HLDA	Вых	Подтверждение захвата
INTR	Вх	Запрос прерывания
NMI	Вх	Запрос немаскируемого прерывания
INTA	Вых	Подтверждение прерывания
READY	Вх	Готовность памяти или ВУ
RESET	Вх	Сброс (начальная установка)
CLK	Вх	Такты ГТИ
GND, +SB	Вх	Общий (земля), питание



б)

Схема МПС средней сложности (а) и временные диаграммы ее работы (б)