

Распределенная память FPGA и встроенные блоки памяти

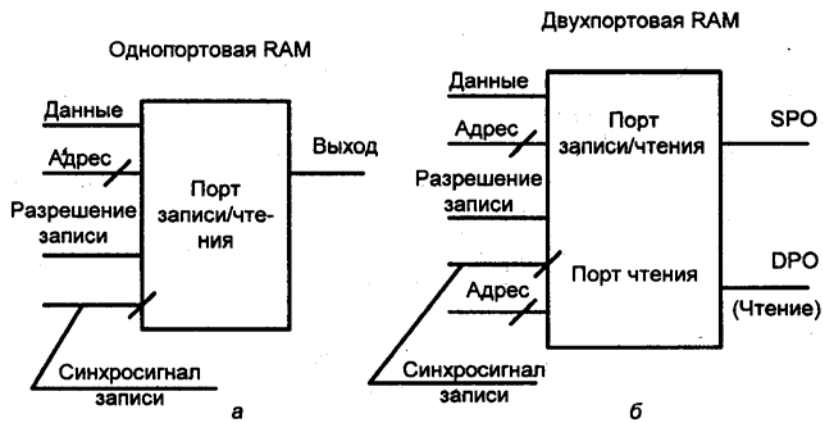


Рис. 23. Информационные потоки в блоках распределенной памяти

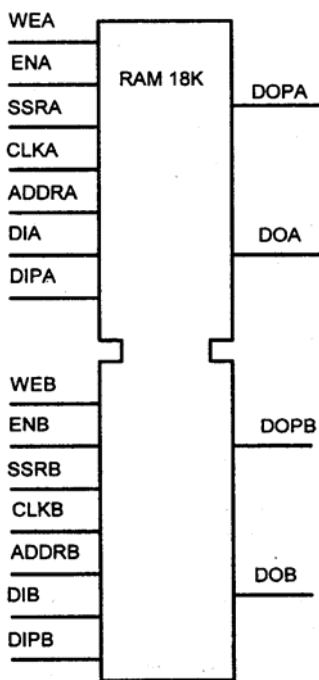


Рис. 24. Структура встроенного блока двухпортовой памяти

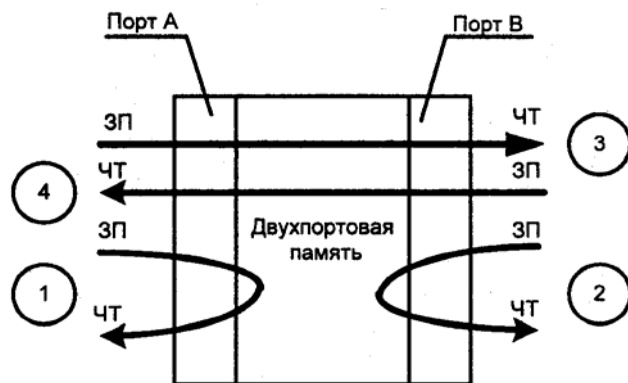


Рис. 25. Операции и потоки данных в двухпортовом ВБП

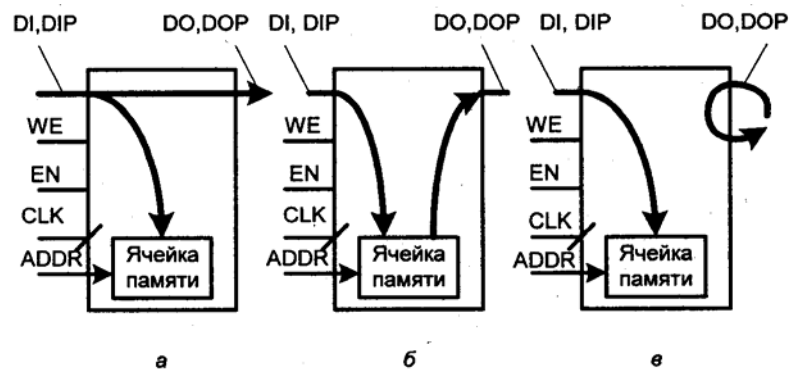


Рис. 26. Варианты поведения двухпортового ВБП при записи данных. Режимы WRITE_FIRST (а), READ_FIRST (б) и NO_CHANGE (в)

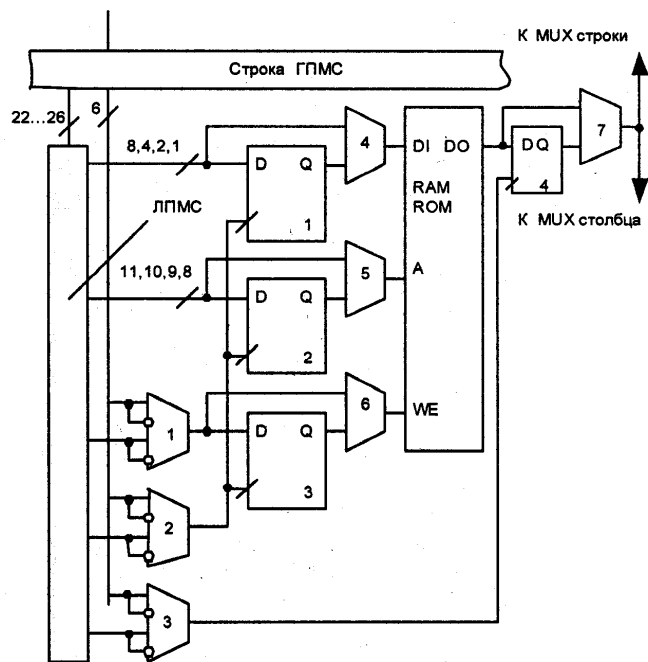


Рис. 27. Структура встроенных блоков памяти в микросхемах семейства ACEX1K

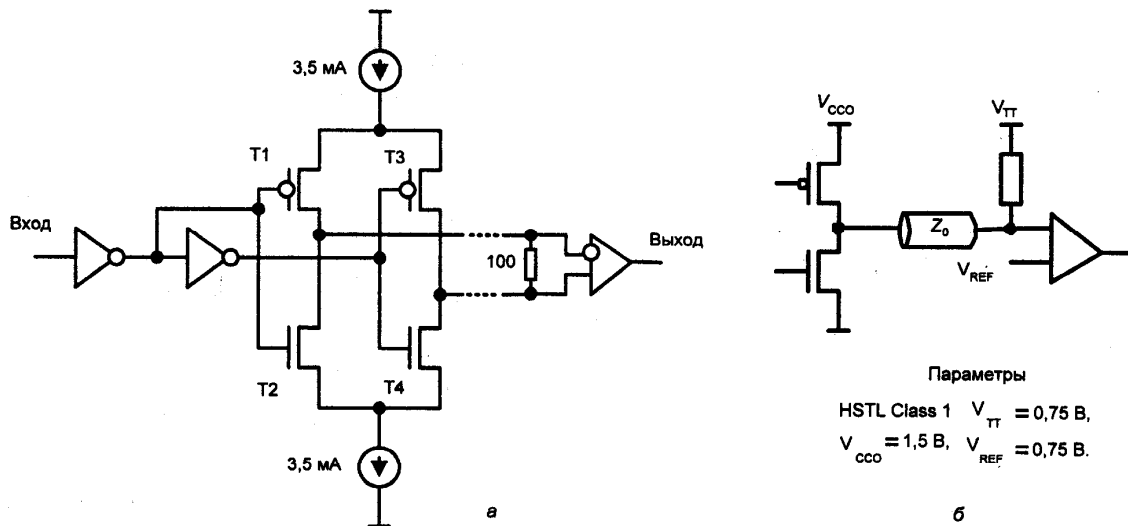


Рис. 28. Схемы реализации стандартов LVDS и HSTL (а, б) и разбиение цепей ввода/вывода на банки (в)

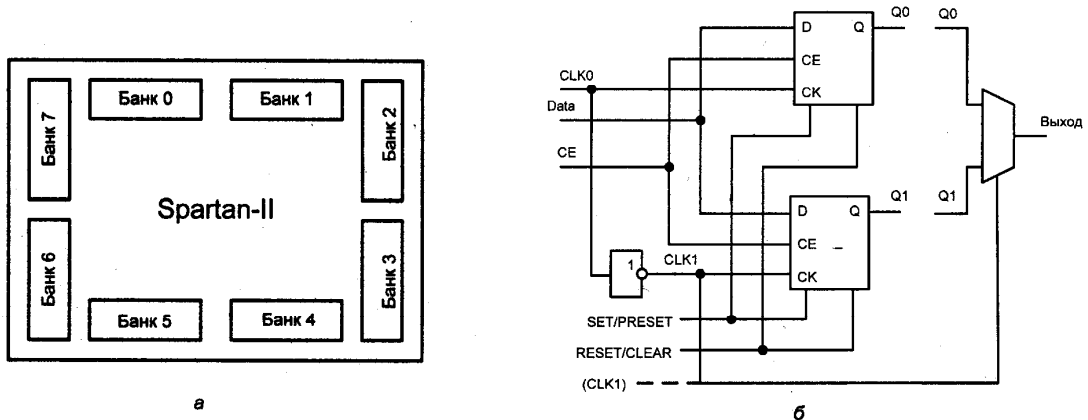


Рис. 29. Схемы разбиение цепей ввода/вывода на банки (а) и реализации передач сигналов по технологии DDR при вводе и выводе данных (б)