

# Цифровые устройства на программируемых БИС с матричной структурой.

## Матричная реализация булевых функций.

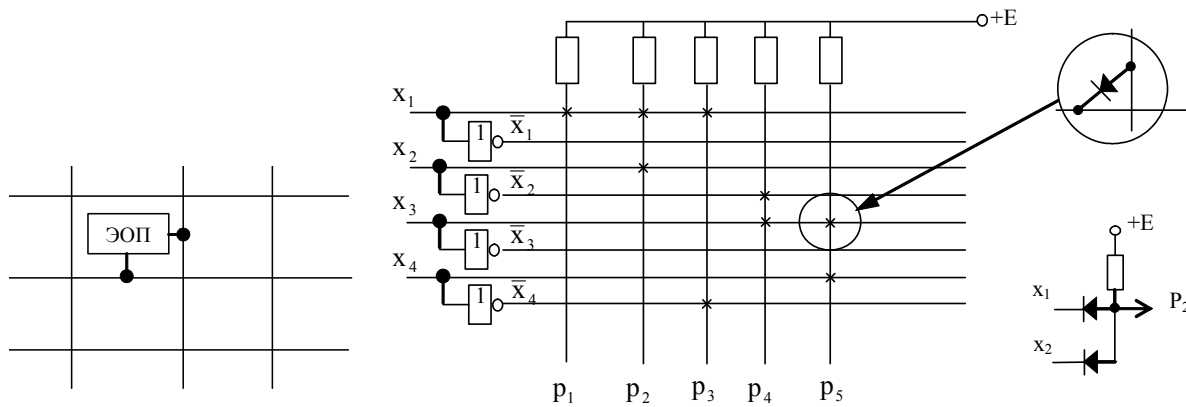


Рис. 1

Матрица M1 (рис. 1) по каждому из своих выходов  $p_1, p_2, p_3, p_4, p_5$  реализует конъюнкцию переменных  $x_1, x_2, x_3, x_4$ :  $p_1 = x_1$ ;  $p_2 = x_1 \wedge x_2$ ;  $p_3 = x_1 \wedge \bar{x}_4$ ;  $p_4 = \bar{x}_2 \wedge x_3$ ;  $p_5 = x_3 \wedge x_4$ .

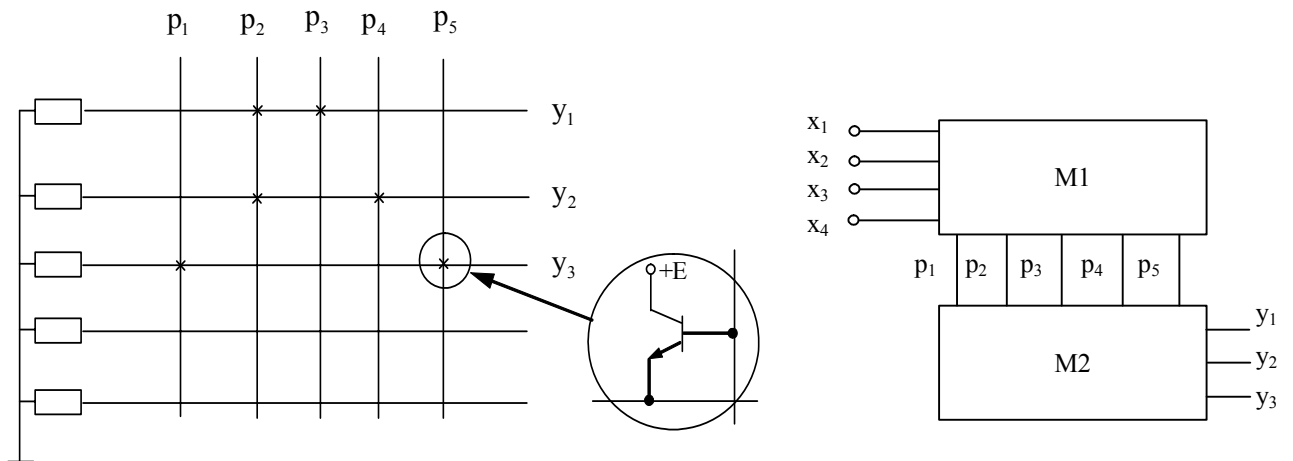


Рис. 2.

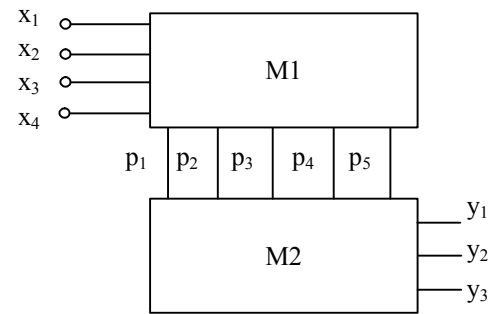
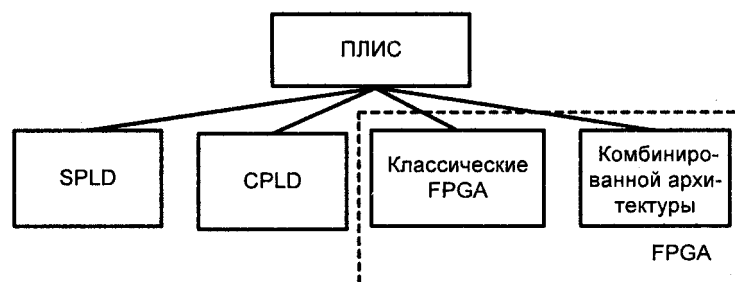


Рис. 3

Матрица M2 (рис. 2) по каждому из своих выходов  $y_1, y_2, y_3$  реализует функции «ИЛИ» входных переменных  $p_1, p_2, p_3, p_4, p_5$ :  $y_1 = p_2 \vee p_3$ ;  $y_2 = p_2 \vee p_4$ ;  $y_3 = p_1 \vee p_5$

Соединение матриц M1 и M2 (рис. 3) реализует на выходах  $y_1, y_2, y_3$  набор ДНФ входных переменных  $x_1, x_2, x_3, x_4$ :  $y_1 = x_1 x_2 + x_3 \bar{x}_4$ ;  $y_2 = x_1 x_2 + \bar{x}_2 x_3$ ;  $y_3 = x_1 + x_3 x_4$ .

## Программируемые логические интегральные схемы (ПЛИС)



Классификация ПЛИС по архитектурным признакам

# Классификация интегральных микросхем с программируемой структурой



Рис. 4. Классификация ИСПС по признакам кратности программирования (типу теневой памяти)

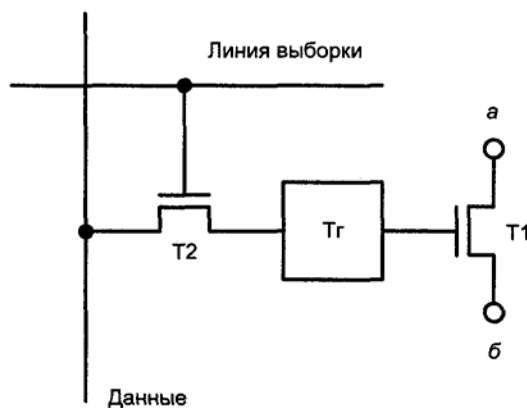


Рис. 5. Элемент программируемой связи с памятью конфигурации типа SRAM

# ФУНКЦИОНАЛЬНЫЕ БЛОКИ И СИСТЕМЫ КОММУТАЦИИ CPLD

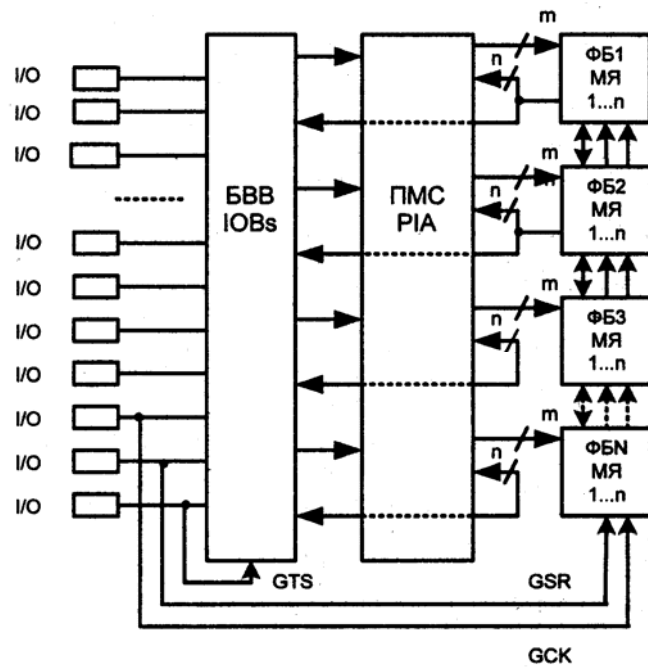


Рис. 6. Обобщенная структура CPLD

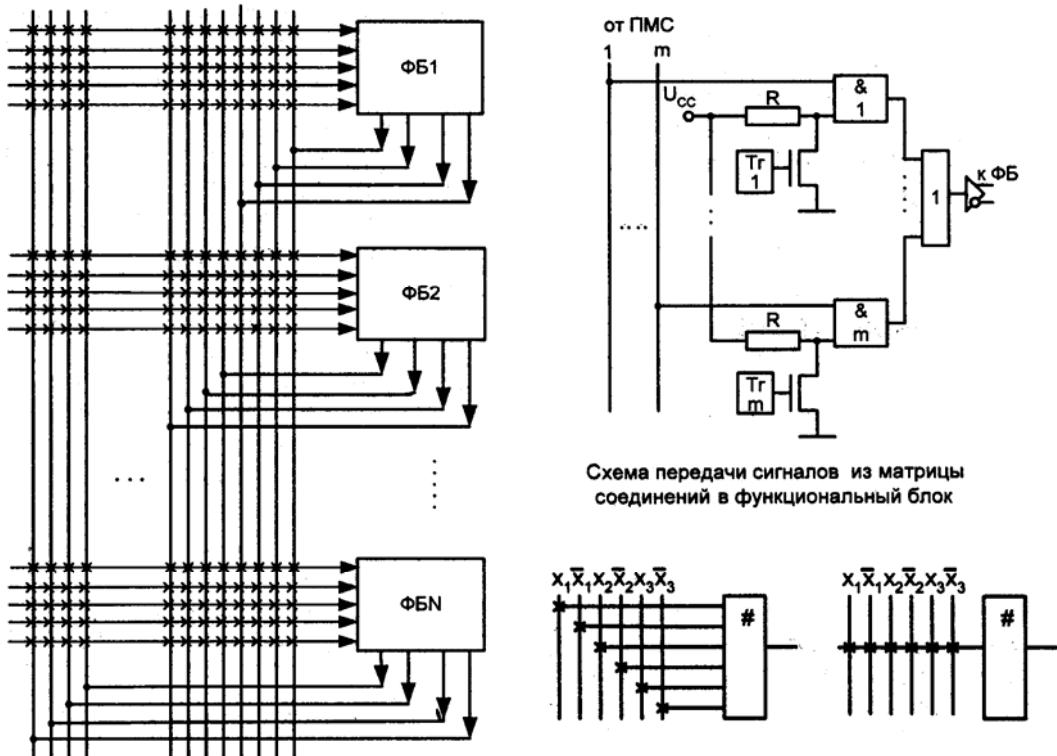


Рис. 7. Схема программируемой матрицы соединений CPLD

Условное обозначение многоходовых программируемых элементов в схемах программируемой логики

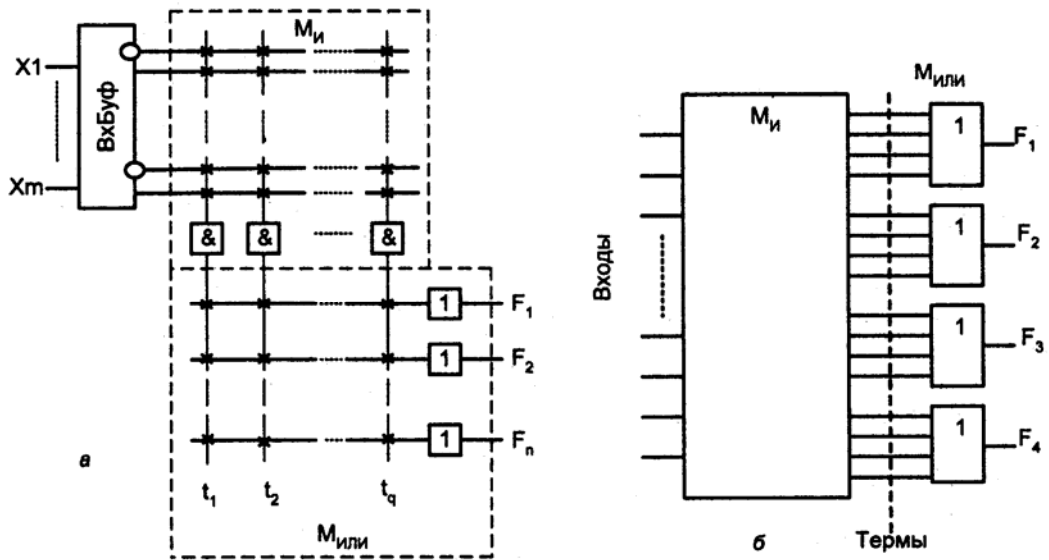


Рис. 8. Условное обозначение программируемых структур ПЛМ (а) и ПМЛ (б)

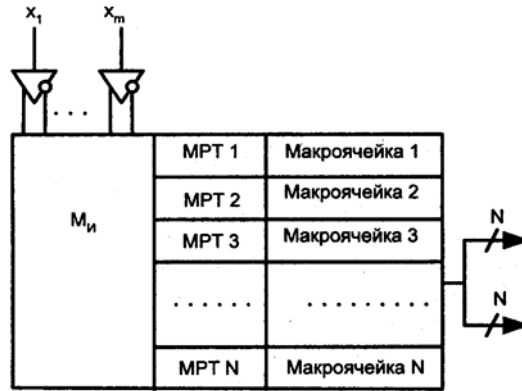


Рис. 9. Обобщенная структура функционального блока CPLD

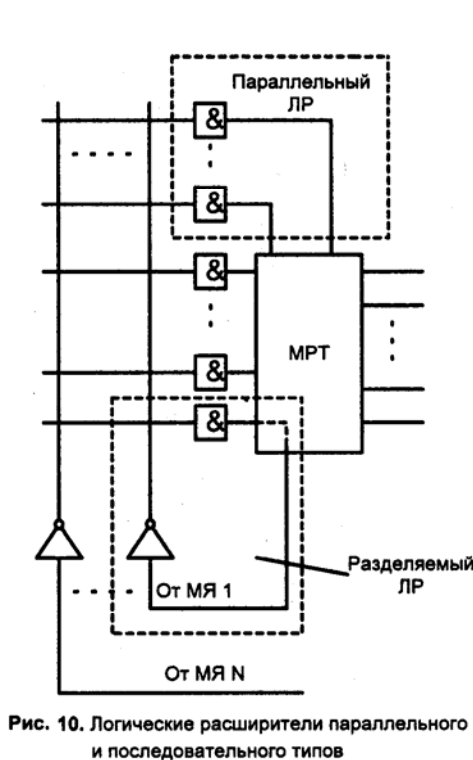


Рис. 10. Логические расширители параллельного и последовательного типов

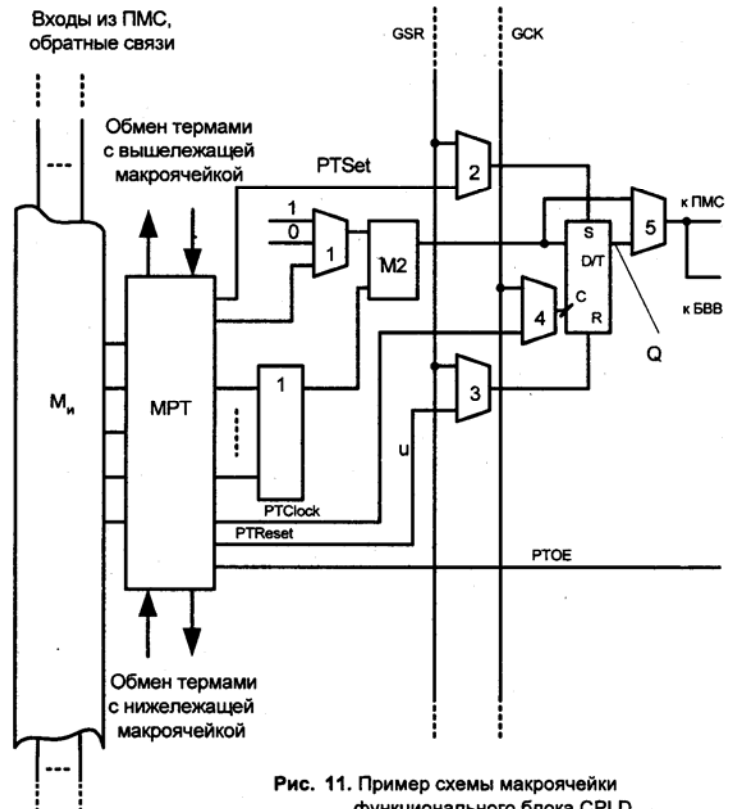


Рис. 11. Пример схемы макроячейки функционального блока CPLD