



**МОСКОВСКИЙ АВИАЦИОННЫЙ ИНСТИТУТ
(ГОСУДАРСТВЕННЫЙ ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ)**

А.В.Бруханский

МИКРОТРЕНАЖЕР МТ1804

**Учебное пособие
к лабораторной работе**

МОСКВА

2002

Цель работы – ознакомление с архитектурой микропрограммируемых устройств с разрядно-модульной организацией на примере микропроцессорного комплекта КР1804.

Выпускаемые промышленностью универсальные микропроцессоры (МП) в зависимости от способа организации процесса выполнения программы относят либо к процессорам с **программным управлением (макропрограммируемые)**, либо к процессорам с **микропрограммным управлением (микропрограммируемым)**. Процессоры с программным управлением, к которым относятся, в частности, МП Pentium фирмы Intel, имеют фиксированное число исполняемых инструкций (команд), алгоритм выполнения которых определяется внутренней логической организацией процессора. Разработчик устройств на базе таких процессоров не может изменить или дополнить систему команд макропрограммируемого процессора с целью ее оптимизации под решаемую задачу.

Напротив, микропрограммируемые процессоры предоставляют разработчикам возможность создавать собственную систему команд, в максимальной степени соответствующую области применения создаваемого устройства, специфике задач и типу обрабатываемых данных. Данный тип архитектуры МП позволяет создавать наиболее эффективные, с точки зрения времени выполнения и объема занимаемой памяти, программы, однако требует большой предварительной работы по конструированию своей системы команд и разработке микропрограмм, реализующих выполнение каждой команды.

Микропрограммный тип архитектуры МП часто сочетается с другой архитектурной особенностью – **разрядно-модульной организацией (секционированные)**. Большинство известных процессоров имеют фиксированную разрядность выполнения операций: 8,16,32 или 64 разряда. При необходимости изменение разрядности обработки данных осуществляется программным путем, то есть за счет усложнения программы. В то же время выпускаются процессоры, состоящие из отдельных разрядных секций, и допускающие аппаратное наращивание разрядности обрабатываемых данных путем параллельного включения нужного количества таких секций. Аналогичным образом решается задача расширения адресного пространства микропрограммируемого процессора – применением требуемого числа секций устройства управления адресацией микрокоманд.

Микропроцессорный комплект серии К1804, выпускаемый отечественной промышленностью, и его зарубежный аналог Am2900, выпускавшийся фирмой AMD, относятся к микропрограммируемым разрядно-модульным процессорным комплектам БИС, основные микросхемы которого представляют собой 4-разрядные секции. Комплект изготавливается по технологии и схемотехнике ТТЛШ (транзисторно-транзисторная логика с диодами Шоттки) и работает при частоте тактового генератора 10 МГц (длительность цикла выполнения микрооперации – 0,1 мкс).

Данная лабораторная работа посвящена изучению

- внутренней организации основных микросхем, входящих в комплект К1804,
- набора инструкций, выполняемых арифметико-логическим устройством (АЛУ) и функциональных возможностей схемы управления адресацией микрокоманд, входящих в комплект,
- структуры лабораторного макета микропрограммируемого вычислителя – «микротренажера МТ1804», реализованного на микросхемах рассматриваемого комплекта,
- формата микрокоманды и приемов составления типовых микропрограмм для устройства МТ1804.

Рассмотрим более подробно принципы работы микропроцессорного вычислителя, реализующего микропрограммный принцип обработки данных. Структурная схема такого устройства с микропрограммным управлением показана на рис. 1.

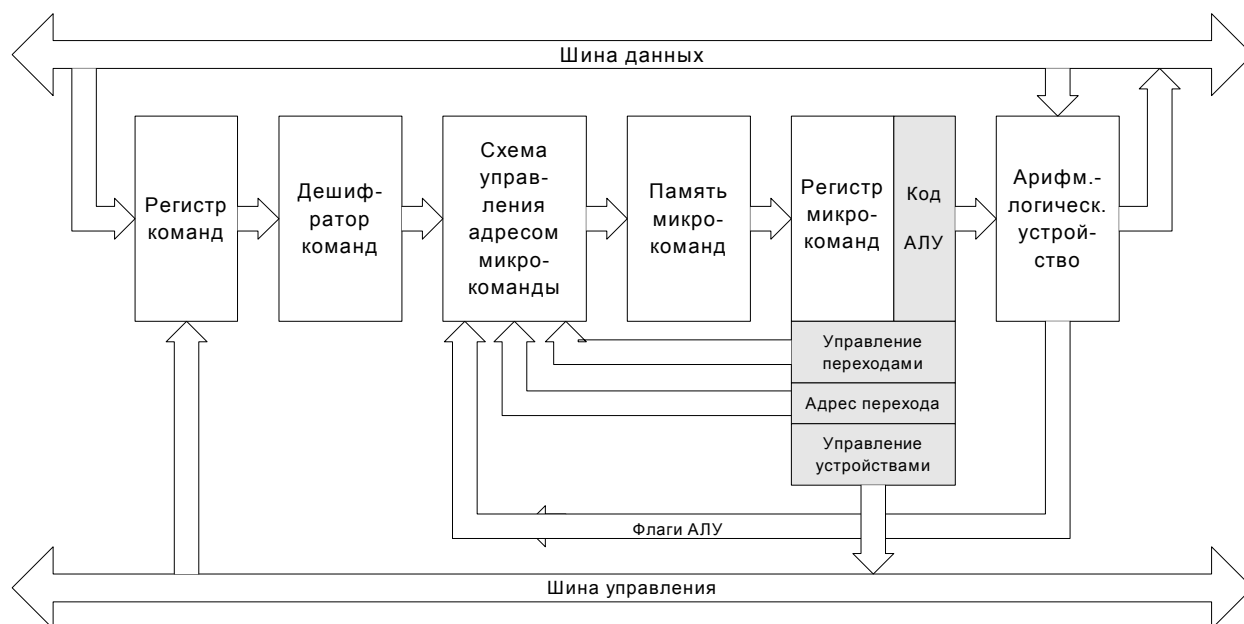


Рис 1.

Процесс выполнения очередной команды, записанной в ОЗУ программ (на рисунке не показано), начинается с записи ее кода в регистр команд процессора. Дешифратор команд преобразует код команды в адрес первой микрокоманды, с которой начинается выполнения этой команды. Схема управления адресом выдает адрес первой микрокоманды на адресный вход ПЗУ микрокоманд (управляющей памяти). Считанная из памяти микрокоманда записывается в регистр микрокоманд. Одна группа разрядов микрокоманды поступает на АЛУ, указывая ему тип выполняемой микрооперации и адреса, участвующих в ней операндов. Другая группа разрядов поступает на схему управления адресом микрокоманды, сообщая адрес следующей микрокоманды в ПЗУ микрокоманд и условие перехода на этот адрес. Остальные разряды микрокоманды управляют устройствами ввода-вывода и процессом выборки команд и операндов из ОЗУ программ.

АЛУ выполняет требуемую микрооперацию, помещает результат по адресу, указанному в микрокоманде, и передает признаки (флаги), зависящие от результата, схеме управления адресом. Схема управления с учетом значения флагов формирует адрес очередной микрокоманды в цепочке микрокоманд и снова выдает его на вход ПЗУ. Этот процесс продолжается до тех пор, пока по признаку, содержащемуся в последней микрокоманде цепочки, схема управления не перейдет к выполнению новой команды из ОЗУ программ. Код новой команды к этому времени оказывается снова записанным в регистр команд.

Наличие регистра микрокоманд, часто называемого **конвейерным регистром**, позволяет совместить во времени выполнение микрокоманды схемой АЛУ и выборку следующей микрокоманды схемой управления адресацией, и тем самым повышает производительность вычислителя.

В связи с большим количеством полей в микрокоманде, управляющей функционированием разнообразных устройств, ее разрядность может достигать нескольких сотен бит. С целью сокращения числа разрядов микрокоманды некоторые из ее полей предварительно кодируют. Сокращенный код такого поля содержит информацию о номере набора управляющих сигналов для некоторого устройства, например, для схемы управления адресацией, обеспечивающий выполнение этим устройством конкретной функции. При этом

требуемый набор управляющих сигналов формируется отдельной логической схемой, в качестве которой часто используют ПЗУ или ПЛИС. Эта логическая схема выполняет функцию дешифратора (раскодировщика) номера набора управляющих сигналов, поступающего на ее адресный или логический вход вместе с дополнительной информацией.

Состав микропроцессорного комплекта К1804

В состав разрядно-модульного микропроцессорного комплекта БИС К1804 входят следующие микросхемы:

- К1804ВС1 и К1804ВС2 – четырехразрядные процессорные секции, выполняющие функции АЛУ. Отличием микросхемы К1804ВС2 является более развитая система команд, включающая операции умножения, деления и нормализации чисел;
- К1804ВУ1 и К1804ВУ2 – четырехразрядные секции управления адресом микрокоманды (СУАМ), предназначенные для формирования адреса микрокоманды под воздействием управляющих сигналов. Микросхема К1804ВУ2 отличается меньшим количеством выводов за счет объединения адресных и исключения маскирующих входов;
- К1804ВУ3 – схема управления следующим адресом (УСА), выполняющая преобразование сильнокодированного поля микрокоманды в набор управляющих сигналов для микросхемы СУАМ;
- К1804ВУ4 – 12-разрядная схема управления последовательностью микрокоманд, объединяющая функции трех секций СУАМ и УСА и предназначенная для работы в составе относительно простых микропрограммируемых контроллеров с числом микрокоманд не более $2^{12} = 4096$;
- К1804ИР1 – четырехразрядный параллельный регистр, состоящий из 4-х D-триггеров; служит для записи и хранения информации;
- К1804ВР1 – схема ускоренного переноса;
- К1804ВР2 – схема управления состояниями и сдвигами (СУСС); предназначена для выполнения различных функций обслуживания АЛУ.

Рассмотрим архитектурные особенности процессорной секции К1804ВС1. Ее структурная схема приведена на рис. 2.

Таблица 1.

Микрокод				8-ричный код	Операция АЛУ
15	14	13			
0	0	0	0	0	$R + S + C0$
0	0	1	1	1	$S - R - 1 + C0$
0	1	0	2	2	$R - S - 1 + C0$
0	1	1	3	3	$R \vee S$
1	0	0	4	4	$R \wedge S$
1	0	1	5	5	$\overline{R} \wedge S$
1	1	0	6	6	$R \oplus S$
1	1	1	7	7	$\overline{R} \oplus S$

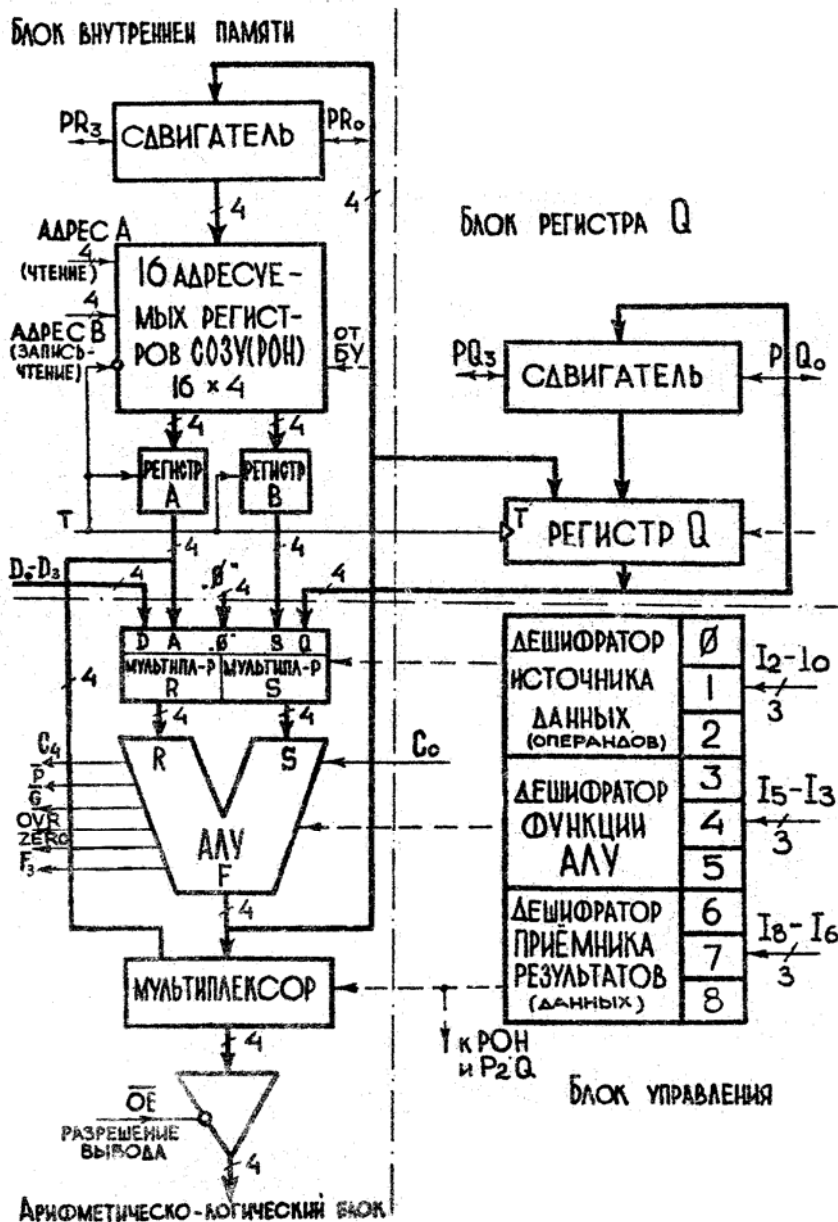


Рис 2. Процессорная секция K1804BC1

Таблица 2.

Управление источниками операндов АЛУ

Микрокод				Источник операндов АЛУ	
I2	I1	I0	8-ричный код	R	S
0	0	0	0	A	Q
0	0	1	1	A	В
0	1	0	2	0	Q
0	1	1	3	0	В
1	0	0	4	0	A
1	0	1	5	D	A
1	1	0	6	D	Q
1	1	1	7	D	0

Таблица 3.

Управление приемником результата

Микрокод				РЗУ		РгQ		Выход Y
I8	I7	I6	8-ричный код	сдвиг	загрузка	сдвиг	загрузка	
0	0	0	0	—	—	—	F→Q	F
0	0	1	1	—	—	—	—	F
0	1	0	2	—	F→B	—	—	A
0	1	1	3	—	F→B	—	—	F
1	0	0	4	вправо	F/2→B	вправо	Q/2→Q	F
1	0	1	5	"	F/2→B	—	—	F
1	1	0	6	влево	2F→B	влево	2Q→Q	F
1	1	1	7	"	2F→B	—	—	F

Примечание: влево — в сторону старшего разряда; вправо — в сторону младшего разряда.

Структурная схема схемы управления адресом микрокоманды К1804ВУ1 представлена на рис.3.

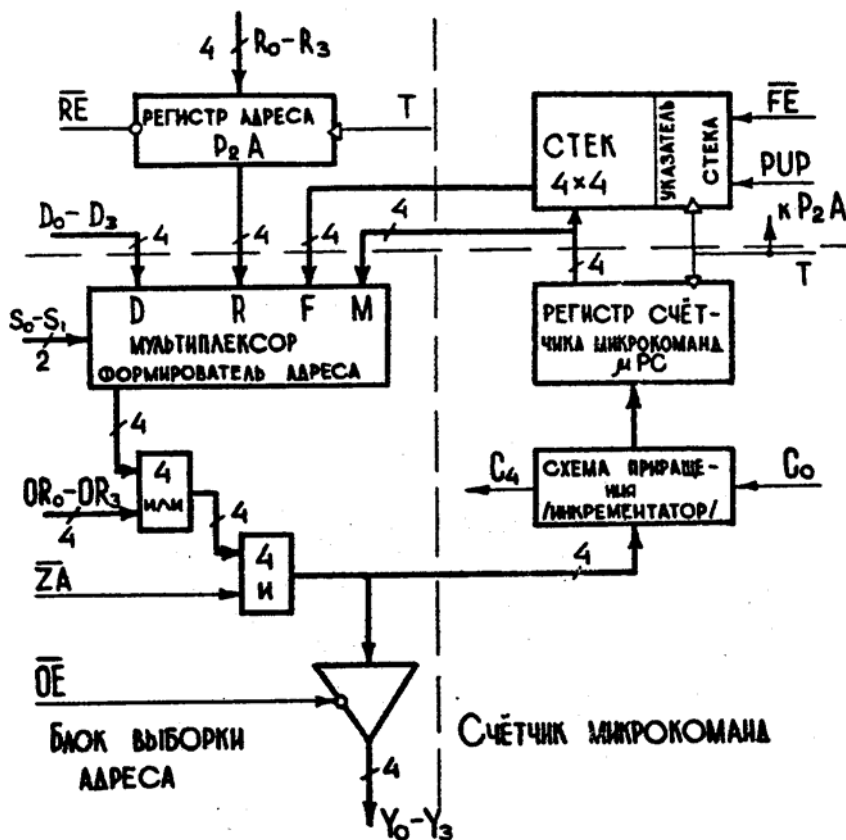


Рис 3. Схема управления адресом микрокоманды К1804ВУ1

На рис.4 представлена структурная схема обучающего устройства «Микротренажер МТ1804»

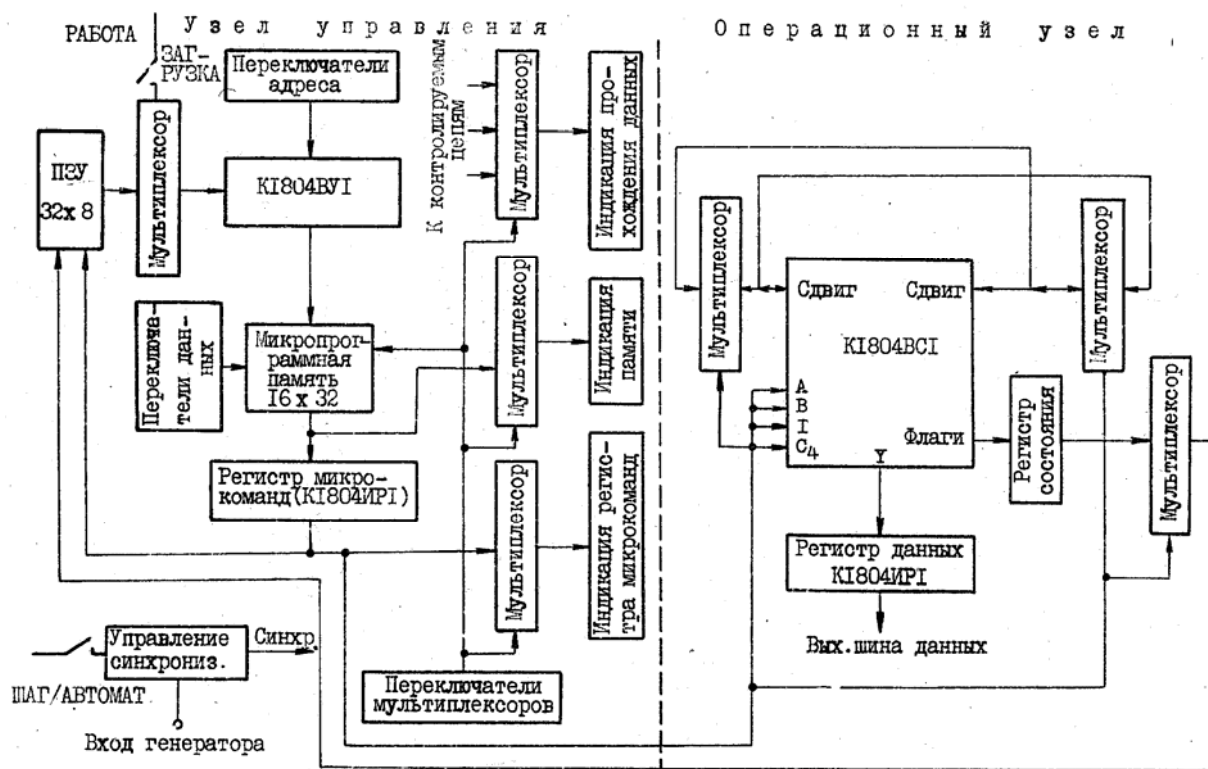


Рис 4. Структурная схема «Микротренажера МТ1804»

Таблица 4.

Формат микрокоманды устройства обучающего "Микротренажера МТ1804"

Положение переключателей мультиплексова (SA1- SA3)	7	6	5	4	3	2	1	0
Позиционный номер ИС ОЗУ	DD10	DD7	DD6	DD5	DD4	DD3	DD9	DD8
Номер бита	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0
Назначение бита	SA3 SA2 SA1 SA0	P3 P2 P1 P0	MS2 MS1	I8 I7 I6 I5 I4 I3 I2 I1 I0	C0 I5 I4 I3 I2 I1 I0	A3 A2 A1 A0	B3 B2 B1 B0	D3 D2 D1 D0
Определение поля МК	Адрес перехода	Управление следующим адресом	Управление приемником результата	Источник операции	C0 ALU	A	B	D

D - входные данные; B - адрес POH по каналу B; A - адрес POH по каналу A;
 ALU - код управления функцией ALU; C0 - входной перенос в ALU;
 MS1, MS2 - биты управления операциями сдвига; I0, ..., I8 - управление центральной процессорной секцией; P0, ..., P3 - управление выборкой следующего адреса

Таблица 5.

Зависимость сдвиговых операций от кода микрокоманд

MS_2	MS_1	Сдвиг вправо	Сдвиг влево
0	0	Сдвиг одинарной длины с вводом лог. 0 в старшие разряды регистра общего назначения и Q - регистра	Сдвиг одинарной длины с вводом лог. 0 в младшие разряды регистра общего назначения и Q - регистра
0	1	Циклический сдвиг одинарной длины	Циклический сдвиг одинарной длины
1	0	Циклический сдвиг двойной длины	Циклический сдвиг двойной длины
1	1	Арифметический сдвиг двойной длины с вводом значения знакового разряда в старший разряд регистра общего назначения	Арифметический сдвиг двойной длины с вводом лог. 0 в младший разряд Q - регистра

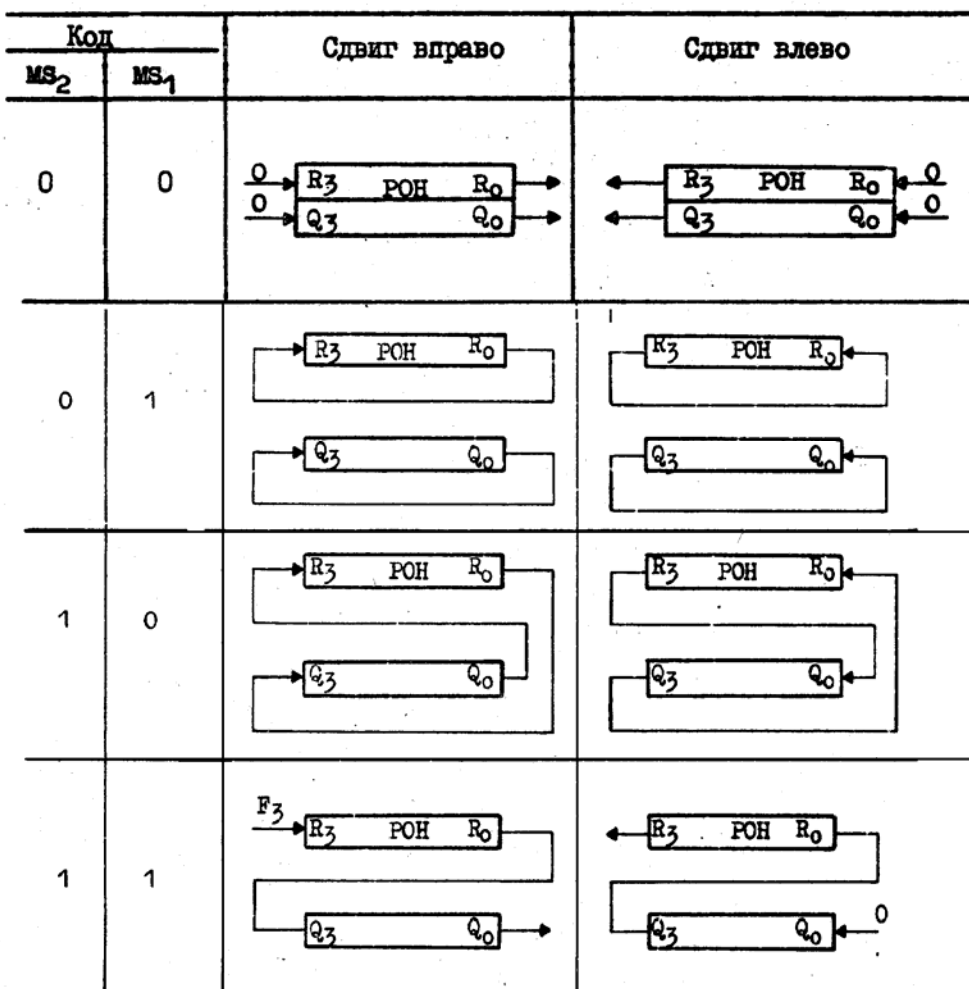


Таблица 6. Кодировка поля управления следующим адресом микрокоманды

№	P ₃	P ₂	P ₁	P ₀	Функция
0	0	0	0	0	Переход на адрес из регистра МК, если F≠0
1	0	0	0	1	Переход на адрес из регистра МК
2	0	0	1	0	Продолжить (переход на следующий адрес)
3	0	0	1	1	Переход на адрес по значению переключателей
4	0	1	0	0	Переход к подпрограмме, если F≠0
5	0	1	0	1	Переход к подпрограмме
6	0	1	1	0	Возврат из подпрограммы
7	0	1	1	1	Переход по стеку
8	1	0	0	0	Окончить цикл и вытолкнуть из стека, если F=0
9	1	0	0	1	Загрузить стек (и продолжить)
10	1	0	1	0	Вытолкнуть из стека (и продолжить)
11	1	0	1	1	Окончить цикл и вытолкнуть из стека, если C ₄
12	1	1	0	0	Переход на адрес из регистра МК, если F=0
13	1	1	0	1	Переход на адрес из регистра МК, если F ₃
14	1	1	1	0	Переход на адрес из регистра МК, если OVR
15	1	1	1	1	Переход на адрес из регистра МК, если C ₄

Таблица 7. Пример составления микропрограммы

№ тетр.	7	6	5		4		3		2	1	0	Результат выполнения
			Сдвиг - MS2	Приемник результата	Сдвиг - MS1	Источники операций	Вх.перенос	Операция АЛУ				
0	Адрес перехода	Управл. следую щ. адресом	X 0 1 1		X 1 1 1		X 0 1 1			0 0 0 0	0 0 0 1	R0 = 1
1			X 0 1 1		X 0 1 1		X 0 1 1			0 0 0 0		R0 → Y
2			X 0 1 1		X 1 1 1		X 0 1 1			0 0 1 1	0 1 1 1	R3 = 7
3			X 0 1 1		X 0 1 1		X 0 1 1			0 0 1 1		R3 → Y
4			X 0 1 1		X 0 0 1		0 0 0 0		0 0 1 1	0 0 0 0		R0 = R0+R3
5			0 1 0 1		1 0 1 1		X 0 1 1			0 0 0 0		Сдвиг R0 вправо
6			0 1 1 1		1 0 1 1		X 0 1 1			0 0 0 0		Сдвиг R0 влево
7			0 0 1 1		0 0 1 1		1 0 0 0			0 0 0 0		R0=R0+1
8			1 1 0 0		0 0 1 1		0 0 1 1			0 0 0 0		→R0→Q→ ↑←-----↓
9			1 1 1 0		0 0 1 1		0 0 1 1			0 0 0 0		←R0←Q← ↓-----↑

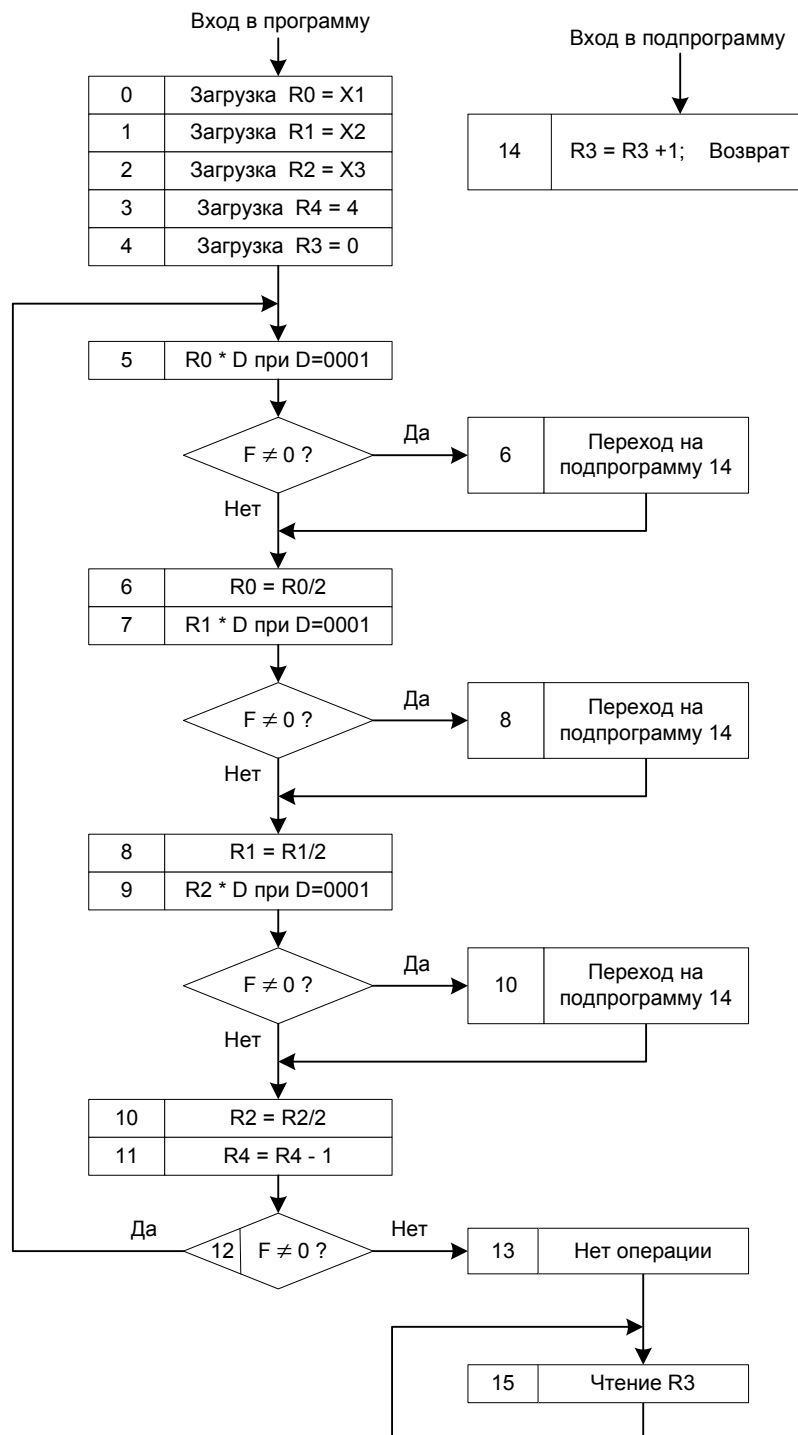
Литература

1. Проектирование цифровых систем на комплектах микропрограммируемых БИС. /Под ред. Колесникова В.Г. - М.: Радио и связь, 1984. - 240 с.
2. Мик Дж. Брик Дж. Проектирование микропроцессорных устройств с разрядно-модульной организацией: В 2-х томах. – М.Мир, 1984.

Пример выполнения задания

Задание 1. Составить программу подсчета единичных бит в регистрах R0 R1 и R2, в которые предварительно записать 3 произвольных числа. Результат сохранить в регистре R3.

Структурная схема программы показана на рисунке



Программа подсчета единичных бит в трех регистрах.

№ тетр.	7	6	5		4		3		2	1	0	
Адрес памя- ти	Адрес пере- хода	Управл. следующ. адресом	Сдвиг - MS2	Прием- ник результ- тата	Сдвиг - MS1	Источ- ники операн- дов	Вх.перенос	Опера- ция АЛУ	Адрес по каналу А	Адрес по каналу В	Непо- сред- ствен- ные данные	Пояснение смысла микрокоманды
0		0010	X011	X111	X111	X011				0000		R0 = X1, продолжить
1		0010	X011	X111	X111	X011				0001		R1 = X2, продолжить
2		0010	X011	X111	X111	X011				0010		R2 = X3, продолжить
3		0010	X011	X111	X111	X011				0100		R4 = 4, продолжить
4		0010	X011	X011	X011	X100				0011		R3 = 0, продолжить
5		0010	X001	X101	X101	X100	0000		0000	0000	0001	R0 \wedge 0001, продолжить
6	1110	0100	X101	X011	X011	X011				0000		R0 = R0/2; переход на подпрограмму 14, если F \neq 0
7		0010	X001	X101	X101	X100	0001		0001	0001	0001	R1 \wedge 0001, продолжить
8	1110	0100	X101	X011	X011	X011				0001		R1 = R1/2; переход на подпрограмму 14, если F \neq 0
9		0010	X001	X101	X101	X100	0010		0010	0010	0001	R2 \wedge 0001, продолжить
10	1110	0100	X101	X011	X011	X011				0010		R2 = R2/2; переход на подпрограмму 14, если F \neq 0
11		0010	X011	X011	X011	X011	0001			0100		R4 = R4-1; продолжить
12	0101	0000	X001									Переход на адрес 5, если F \neq 0
13	1111	0001	X001									Переход на адрес 15
14		0110	X011	X011	X011	X011	1000			0011		R3 = R3 + 1, возврат из п/пр.
15	1111	0001	X001	X011	X011	X011	X011			0011		Чтение R3; переход на 15